

(11) 特許出願公開番号

特開平4-271396

(43)公開日 平成4年(1992)9月28日

(51) Int.Cl.³

G 1 0 L 3/00
 9/18

識別記号

庁内整理番号

F I

技術表示箇所

E 8946-5H

J 8946-5H

審査請求 未請求 請求項の数29(全 33 頁)

(21)出願番号 特願平3-57972

(22)出願日 平成3年(1991)2月27日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 浜本 信男

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 大西 忠志

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 愛木 清

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 徳若 光政

最終頁に続く

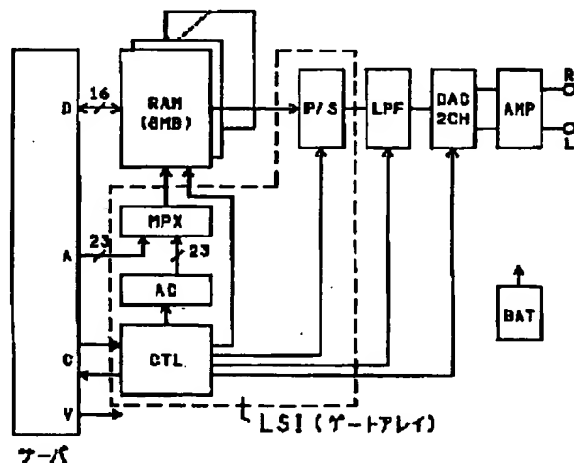
(54) 【発明の名称】 デジタル信号受け渡しシステムとデジタル音声信号処理回路及び信号変換回路

(57) 【要約】 (修正有)

【目的】 電気的なデジタル信号の形態のまま商品価値を持つようにした情報等の販売を実現したデジタル信号受け渡しシステムと、それに好適なデジタル音声信号処理回路及び信号処理回路を提供する。

【構成】 デジタル信号の受け渡しにおいてデジタル信号供給源と一対一に対応して端末装置としてのプレーヤを電気的に接続し、特定されたデジタル信号を電気信号の形態で受け取り記憶回路に記憶させるとともにプレーヤ単独で記憶させたデジタル信号の再生を行う。デジタル化された音声信号の無音期間を検出し、その無音期間を拡大させて遅延再生や無音期間を短縮させて早延再生を実現する。デジタル入力信号に対応したパルス幅の信号を、1回の信号変換期間において複数回繰り返して行うようにする。

[145]



【特許請求の範囲】

【請求項1】 デジタル信号供給源と、デジタル信号の受け渡しにおいて上記デジタル信号供給源と実質的に一対一に対応して電氣的に接続され、かつ特定されたデジタル信号を電気信号の形態で受け取り記憶回路に記憶し、単独で記憶されたデジタル信号の再生を行うプレーヤとを備えてなることを特徴とするデジタル信号受け渡しシステム。

【請求項2】 上記デジタル信号供給源は、デジタル信号の供給元と、この供給元から必要に応じてデジタル信号を通信回線又は適当な記憶媒体を介して受け取り記憶するとともに、上記プレーヤとコネクタを介して一対一に対応して電氣的に接続されて特定されたデジタル信号の受け渡しを行う端末装置とからなるものであることを特徴とする請求項1のデジタル信号受け渡しシステム。

【請求項3】 上記端末装置は、比較的大きな記憶容量を持つ磁気ディスクメモリ装置をバックアップメモリとして用い、プレーヤとの間で受け渡し量の多いデジタル信号又は時間の経過とともに更新されるデジタル信号を高速アクセスが可能な半導体メモリにより構成されたバッファメモリに記憶させるものであることを特徴とする請求項2のデジタル信号受け渡しシステム。

【請求項4】 上記端末装置は、マイクロコンピュータ機能を持ち、上記磁気ディスクメモリやバッファメモリの管理及び通信回線を介して供給元とのデジタル信号の授受を行うこと、他、接続された状態のプレーヤ内における記憶回路に対する記憶エリアの管理も行うものであることを特徴とする請求項2又は請求項3のデジタル信号受け渡しシステム。

【請求項5】 上記端末装置は、指定されたデジタル信号の一部分を一定時間に限り再生して出力させる機能を持つものであることを特徴とする請求項2、請求項3又は請求項4のデジタル信号受け渡しシステム。

【請求項6】 上記プレーヤは二次電池を内蔵し、上記端末装置と接続されたとき端末装置側の電源により上記二次電池に対して充電動作も行われるものであることを特徴とする請求項2、請求項3、請求項4又は請求項5のデジタル信号受け渡しシステム。

【請求項7】 上記デジタル信号はデジタル音声信号であり、プレーヤは記憶回路から読み出されたデジタル音声信号をアナログ音声信号に変換して出力させる再生出力回路を備えるものであることを特徴とする請求項1、請求項2、請求項3、請求項4又は請求項6のデジタル信号受け渡しシステム。

【請求項8】 上記記憶回路は、薄いカード状の記憶媒体とされて、プレーヤに対して脱着可能にされるものであることを特徴とする請求項1、請求項6又は請求項7のデジタル信号受け渡しシステム。

【請求項9】 上記受け渡されるデジタル信号は、I

Dコードを持ち、そのIDコードの内容に従いプレーヤにおける再生条件が自動指定されるものであることを特徴とする請求項1、請求項2、請求項3、請求項4、請求項6、請求項7又は請求項8のデジタル信号受け渡しシステム。

【請求項10】 上記再生条件は、ステレオ/モノラル再生、8ビットと16ビットからなる分解能、サンプリング周波数のうち少なくとも1つを含むものであることを特徴とする請求項9のデジタル信号受け渡しシステム。

【請求項11】 上記プレーヤは、その外部形状及びコネクタが既存のメモリカードと互換性を持つようにされるものであることを特徴とする請求項6、請求項7又は請求項8のデジタル信号受け渡しシステム。

【請求項12】 上記プレーヤは、記憶部の記憶回路が既存のメモリカードと同等に使用可能にされる機能を持つようにされることを特徴とする請求項6、請求項7、請求項8又は請求項11のデジタル信号受け渡しシステム。

【請求項13】 上記プレーヤは、パスワード又はパスワードの一致検出信号に従い記憶回路の入力及び/又は出力部の少なくとも1ビットのデジタル信号を反転させ、あるいは他のビットと入替えを行う機密保護機能を持つものであることを特徴とする請求項1、請求項6、請求項7、請求項8、請求項9、請求項10、請求項11又は請求項12のデジタル信号受け渡しシステム。

【請求項14】 上記プレーヤは、パスワード又はパスワードの一致検出信号に従い記憶回路のアドレス入力部の少なくとも1ビットのデジタル信号を反転させ、あるいは他のビットと入替えを行う機密保護機能を持つものであることを特徴とする請求項1、請求項6、請求項7、請求項8、請求項9、請求項10、請求項11又は請求項12のデジタル信号受け渡しシステム。

【請求項15】 上記プレーヤは、複数のデジタル信号に対応した格納アドレスを含む目次情報を記憶する記憶領域又は目次メモリと、上記格納アドレスによりアクセスされるデータ領域又はデータメモリとを備えてなることを特徴とする請求項1、請求項6、請求項7、請求項8、請求項9、請求項10、請求項11、請求項12、請求項13又は請求項14のデジタル信号受け渡しシステム。

【請求項16】 上記プレーヤは、1つのキースイッチのオン時間又はオン回数により、複数種類からなる動作モードの指定が行われるものであることを特徴とする請求項1、請求項6、請求項7、請求項8、請求項9、請求項10、請求項11、請求項12、請求項13、請求項14又は請求項15のデジタル信号受け渡しシステム。

【請求項17】 デジタル化された音声信号の無音期間を検出し、その無音期間においてデジタル/アナロ

グ変換回路に入力されるデジタル信号を強制的に交流的な0レベルに対応した信号に置き換えることを特徴とするデジタル音声信号処理回路。

【請求項18】 上記無音期間は、調整可能にされた正負両極性のそれぞれ無音と見做すレベルに対応したデジタル信号と再生されるデジタル信号との大小比較を行う一対のコンパレータの出力信号に基き、一定期間無音状態であることを条件にして検出されるものであることを特徴とする請求項17のデジタル音声信号処理回路。

【請求項19】 デジタル化された音声信号の無音期間を検出し、その無音期間を拡大させて遅延再生を行うことを特徴とするデジタル音声信号処理回路。

【請求項20】 上記無音期間を拡大させる手段は、デジタル信号が格納されたメモリ回路のアドレス更新動作を通常動作に比べて実質的に遅らせることにより行うものであることを特徴とする請求項19のデジタル信号処理回路。

【請求項21】 デジタル化された音声信号の無音期間を検出し、その無音期間を短縮させて早延再生を行うことを特徴とするデジタル音声信号処理回路。

【請求項22】 上記無音期間を短縮させる手段は、デジタル信号が格納されたメモリ回路のアドレス更新動作を通常動作に比べて速くすることにより行うものであることを特徴とする請求項21のデジタル信号処理回路。

【請求項23】 デジタル信号の無音期間が無音コード情報と無音時間情報に置き換えられることによってデータ圧縮が行われるとともに、通常動作のときには無音コード情報を検出すると無音時間情報に対応した時間にわたってメモリ回路のアドレス更新動作を停止させるとともにそれに代わって交流的な0レベルに対応した信号を出力させ、遅延再生動作のときには無音コード情報を検出すると無音時間情報に対して拡大させた時間にわたってメモリ回路のアドレス更新動作を停止させるとともにそれに代わって交流的な0レベルに対応した信号を出力させ、早延動作のときには上記無音コード情報及び無音時間情報を実質的に無視してデジタル信号を出力させるものであることを特徴とするデジタル信号処理回路。

【請求項24】 上記無音コード情報は、ほぼ正の最大値とほぼ負の最大値に対応した少なくとも2つの連続したデジタル信号の組み合わせにより構成されるものであることを特徴とする請求項23のデジタル信号処理回路。

【請求項25】 最大無音時間を設定し、遅延動作に伴い拡大された無音期間が上記最大無音時間を超えないように制限する機能を設けることを特徴とする請求項19、請求項20又は請求項23のデジタル信号処理回路。

【請求項26】 デジタル入力信号を受ける記憶回路と、基準時間パルスを受けデジタル入力信号の最大値に対応した計数動作を行うカウンタ回路と、上記記憶回路の出力信号とカウンタ回路の出力信号とを比較するコンパレータと、上記カウンタ回路の繰返し計数動作を計数するリビートカウンタと、ストロブ信号を受けて記憶回路への入力デジタル信号の取込みを指示するとともに、上記カウンタ回路の計数動作を開始させ、上記リビートカウンタからの出力信号により変換終了信号を送出する制御回路とを含み、上記コンパレータの出力からデジタル入力信号に対応したパルス幅変調信号を得ることを特徴とする信号変換回路。

【請求項27】 デジタル信号の最大値に対応した一定の周期により供給されるデジタル入力信号を受け、基準時間パルスを計数するダウンカウンタ回路と、上記ダウンカウンタ回路の動作期間に対応したパルスを形成するデジタル回路とを含み、上記デジタル入力信号に対応したパルス幅変調信号を得ることを特徴とする信号変換回路。

【請求項28】 上記デジタル信号の最大値に対応した一定の周期は、上記基準時間パルスを受けてデジタル入力信号に対応した計数動作を行うアップカウンタ回路により形成されるものであることを特徴とする請求項27の信号変換回路。

【請求項29】 上記パルス幅変調信号は、抵抗とキャパシタからなるローパスフィルタに入力されてアナログ信号に変換されるものであることを特徴とする請求項26、請求項27又は請求項28の信号変換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、デジタル信号受け渡しシステムとデジタル音声信号処理回路及び信号変換回路に関し、例えば、特定された音声情報等を電気信号の形態のまま特定された者に受け渡して販売ないし提供することを實現したデジタル信号受け渡しシステムと、それに好適なデジタル音声信号処理回路及び信号変換回路に利用して有効な技術に関するものである。

【0002】

【従来の技術】 情報等の商品化の例としては、古くから紙を媒体として文字等を印刷して販売する新聞や雑誌等がある。上記紙に代えて、フロッピーディスクメモリやICカードといったような記憶媒体を介して各種ソフトウェア等を販売する例もある。また、ケーブルテレビジョンや衛星放送のように通信手段を介して契約した特定者にニュースや放送番組を提供することも行われている。さらに、従来のノート型パーソナルコンピュータや電子手帳とは異なり、時間と場所の制約を受けずに、他の人にメッセージを送ったり、データベースへのアクセス、さらには情報の加工を簡単に行えるようにした携帯型コンピュータが、1990年11月26日付「日経エ

5

レクトロニスク」頁116～頁124において提案されている。このシステムにおいては、携帯型端末に対して、公衆電話やFM放送を通してデータ電送を行ったり、ICカードを本屋や販売店により提供すること等が提案されている。また、デジタル回路により実現できるデジタルアナログ変換器が特開昭61-236222号公報により提案されている。

【0003】

【発明が解決しようとする課題】新聞や雑誌といったような紙を媒体として情報等を商品化して販売する場合には、印刷や輸送に時間がかかりタイムリーな情報の販売に不向きであるばかりでなく、紙を作るために森林伐採を行うことや不要になったときにゴミの排出させるといったような地球環境の悪化をもたらす。また、電子手帳等のようにICカードやフロッピーディスクを媒体とした場合には、電子手帳やパーソナルコンピュータといった端末装置が必要となるばかりでなく、これらの端末装置は電子手帳等のように情報加工を前提とするものであるから、その操作が比較的複雑で使い勝手が悪く一般的な普及を妨げている。また、FM放送を利用して大量のデータを流すようにした場合には、必要な情報の選択が煩わしいものとなるばかりでなく、上記衛星放送やケーブルテレビジョン放送と同様に必要な情報の他不必要な情報までも一括契約により受け取ることとなり非効率的である。

【0004】そこで、本願発明者等は、電気信号の形態ままの情報等を一般的な商品と同様な形態で受け渡しすることを可能にしたデジタル信号受け渡しシステムとそれに好適なデジタル音声信号処理回路及び信号変換回路を開発するに至った。この発明の目的は、電気的なデジタル信号の形態のまま商品価値を持つようにした情報等の販売を実現したデジタル信号受け渡しシステムを提供することにある。この発明の他の目的は、デジタル音声信号の高品質で多様な再生を実現したデジタル音声信号処理回路を提供することにある。この発明の更に他の目的は、デジタル／アナログ変換等に用いられるデジタル回路に好適な信号変換回路を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0005】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、デジタル信号の受け渡しにおいてデジタル信号供給源と一対一に対応して端末装置としてのプレーヤを電気的に接続し、特定されたデジタル信号を電気信号の形態で受け取り記憶回路に記憶させるとともにプレーヤ単独で記憶させたデジタル信号の再生を行う。デジタル化された音声信号の無音期間を検出し、その無音期間を拡大させて遅聴き再生や

6

無音期間を短縮させて早聴き再生を実現する。デジタル入力信号に対応したパルス幅の信号を、1回の信号変換期間において複数回繰り返して行うようにする。

【0006】

【作用】プレーヤは、デジタル信号を電気信号の形態で受け取り、単独で再生するものであるため受け渡されたデジタル信号の価値をそのまま発揮させることができる。これにより、デジタル信号の形態のままよりからその加工、製造や販売システムの構築が容易に行え、プレーヤの構成が簡単でかつ操作も易しいから誰にでも扱える。デジタル音声信号の無音期間を実質的に拡大したり拡張させることにより、音声品質を劣化させることなく、早聴きや遅聴きが可能になる。そして、デジタル入力信号に対応して繰り返しパルス幅変調信号を形成することにより、平滑したときのリップルを大幅に減少できるから高品質のアナログ信号を得ることができる。

【0007】

【実施例】図1には、この発明に係るデジタル信号受け渡しシステムの一実施例の要部ブロック図が示されている。この実施例では、デジタル信号を商品化して販売することを目的としたシステムに向けられている。すなわち、デジタル信号の受け渡しの1つの形態としてデジタル信号の販売がある。同図には、デジタル信号販売システムのうち、端末装置のブロック図が示されている。この端末装置は、タバコやジュースといったような清涼飲料水の自動販売機に相当するものである。この端末装置は情報サーバといった役割を果たし、特に制限されないが、広帯域デジタル通信回線B-ISDNを介してデジタル信号の販売元と接続されて、商品としてのデジタル信号の受け取りを行う。このようなシステムを採ることにより、デジタル信号は、上記タバコやジュースといったような商品と同様に、通信回線を通すことにより特定された端末装置に対してのみ電送させる。この場合の商品としてのデジタル信号にあつては、上記タバコやジュースといったような一般的な商品の搬送のように交通渋滞や大気汚染をもたらすことなく、高速にしかも大量の商品としてのデータ転送を行うことができる。上記端末装置は、例えば販売店やタバコ屋や本屋といったような商店の店先に設置される。端末装置は、大きく分けると入力部、記憶部及び出力部から構成され、各回路ブロックはVMEバスにより接続されてデジタル信号や、各種制御信号の授受が行われる。この端末装置に同図で点線で示したプレーヤを接続し、商品としての特定のデジタル信号が電気信号の形態のまま受け渡される。

【0008】図2には、上記端末装置の入力部のブロック図が示されている。上記端末装置の入力部は、広帯域デジタル通信回線B-ISDNに対応したデジタル入力インターフェイスINFと、アナログ信号の形態で

の入力信号を受け取るアナログ入力インターフェイス（右アナログ入力、左アナログ入力）を持つ。アナログ入力インターフェイスは、右入力Rinと左入力Linに対応してローパスフィルタLPFがそれぞれ設けられ、アナログ入力信号RinとLinに含まれる余分な周波数帯域成分が予め除去される。そして、これらの入力信号RinとLinは、マルチプレクサMPXを介して時間的に交互に選択されてサンプル&ホールド回路S/Hに取り込まれ、アナログ/デジタル変換回路ADCによりデジタル信号に変換される。このとき、アナログ/デジタル変換回路ADCからは時系列的に右チャンネル信号と左チャンネル信号の2チャンネル（ステレオ）のデジタル信号が時分割的に出力され、上記デジタル入力インターフェイスINFに取り込まれる。このようなアナログ入力インターフェイスは、例えば放送等により送られる音楽番組や定時のニュース番組、株式情報あるいは各種商品市況等をデジタル信号化して記憶回路に記憶させる等のために用いられる。なお、モノラル信号は、上記右又は左入力信号を用いて入力される。音楽番組のように帯域の広い入力信号に対しては、ローパスフィルタLPFの帯域を広くし、ニュース番組のように帯域の狭い入力に対してはローパスフィルタLPFの帯域を狭く切り換える等の機能を付加してもよい。INCTは、入力部コントローラであり、点線で示したNIFは、上記B-ISDNに対応したネットワークインターフェイスである。

【0009】上記アナログ入力インターフェイスは、電話回線に接続して留守番電話機からのメッセージを受け取るようにしてもよい。この場合、端末装置に電話機能が付加され、上記留守番電話と接続して録音されたメッセージを受け取るようにしてもよい。このようにアナログ入力インターフェイスを用いると、メッセージの転送時間が長くなってしまふ。そこで、デジタル回線を持つ加入者にとっては、デジタル式の留守番電話機によりメッセージをデジタル信号化して記憶させるようにしておけば、記録された複数のメッセージを極く短い時間で受け取ることができる。このようにすれば、出先において交通機関等による移動中の任意のときにメッセージを聞き取るようにすることができる。

【0010】図3には、上記端末装置における記憶部の一実施例のブロック図が示されている。この記憶部は、ハードディスクメモリHDD等のような外部記憶装置と、バッファメモリとしてのRAM（ランダム・アクセス・メモリ）、及び上記のようなデジタル入力又はアナログ入力のための情報処理プログラムや、ハードディスクメモリHDDとのデータ授受、液晶表示装置LCDの表示動作及び出力部に接続されるプレーヤとのデータ転送動作等の各種プログラムが格納されたROM（リード・オンリー・メモリ）及び上記プログラムに従った情報処理や制御動作を行うマイクロプロセッサCPUを含

む。RAMは、特に制限されないが、約1MBの記憶容量を持ち、ROMは約512KB（キロバイト、以下同じ）の記憶容量を持つ。ハードディスクメモリHDDは、特に制限されないが、約250MB（メガバイト、以下同じ）の記憶容量を持ち、電源遮断時のバックアップメモリとしての機能を持つ他、多種類のデジタル信号を格納しておくといった倉庫のような役割を果たす。このハードディスクメモリHDDは、ハードディスクコントローラHDDCを介して内部バスに接続され、マイクロプロセッサCPUの指示に従いデータの書き込みと読み出しを行う。

【0011】LCDは、液晶表示装置であり、情報メニューの表示、操作指示等を表示するために用いられる。その表面はタッチキー機能が付加されて、表示メニューの選択や、表示切り換え等を行う。例えば、プレーヤを差し込むと、表示画面に最初に表示される情報メニューとして、1. 音楽、2. ニュース、3. 天気予報、4. 株式市況、5. 朗読等が表示される。そして、その中の1つ、例えば2. ニュースを指定すると画面が切り替わり、1. NHK、2. FEN、3. 交通情報、4. スポーツニュース等の表示が行われる。そして、希望するニュース番組を指定することにより、それに対応したデジタル信号をプレーヤが受け取る。例えば、1. 音楽の場合には、クラシック、ポピュラー、歌謡曲、ジャズといったような音楽ジャンルが表示され、特定の音楽ジャンルを選択すると、それに対応して販売可能な曲名が表示される。この曲情報は、特に制限されないが、ROM又はハードディスクメモリの特定のエリアに格納させておくものとする。ハードディスクメモリHDDに該当曲が無いときには、上記通信回線B-ISDNを介してデジタル信号販売元と接続され、目的の音楽プログラムの伝送を受けてプレーヤに引き渡される。上記LCDは、LCDコントローラLDCを介して内部バスに接続され、上記のような表示とそれに対応したタッチキーの入力が行われる。バスインターフェイスVMEINFは、上記内部バスとVMEバスとの接続を行うVMEバスインターフェイスである。

【0012】上記ニュースや株式市況といったように時間の経過とともに最新情報に置き換える必要のあるものは、後述する出力部に設けられるバッファメモリBMに格納させておくようにする。これにより、逐一ハードディスクメモリHDDをアクセスすることなく、直ちにプレーヤに転送することができる。また、音楽プログラムでも、販売量の多いものはバッファメモリBMに格納しておくものとしてもよい。この場合、表示メニューとして各音楽ジャンルに対応して販売量がトップテンのものを表示させて、ユーザーの選択を容易にするようにしてもよい。

【0013】上記端末装置の出力部は、図4に示すようにVMEバスに接続される出力インターフェイスOUT

INFと、プレーヤ制御回路PCTL、バッファメモリBM、モニターコントロール回路MOCTL及びモニター回路MONT等から構成される。出力部は、プレーヤとの接続を行うコネクタを持ち、プレーヤとコネクタを介して接続されて、商品としてのデジタル信号の受け渡しを行う。バッファメモリBMは、約96MBの比較的大きな記憶容量を持つ、これは後述するようなプレーヤの最大記憶容量8MBの約10倍に相当する。モニター回路MONTは、特に制限されないが、スピーカやヘッドフォン出力を備えて音楽プログラムの選曲のときにサワリの部分を聞かせる等のために用いられる。この機能は、いわば本屋の立ち読みといった機能であり、無形のデジタル信号の販売促進や、デジタル信号の選択ミスを防ぐ上で有効である。上記のモニター出力機能は、特に制限されないが、約10秒程度を最大時間として、タッチキー等がオン状態である期間だけ出力させるようにする。これにより、目的が達成されしだいモニター出力が停止されるのでモニター再生の無駄時間をなくすることができる。このモニター回路MONTとそのコントローラMOCTLは、後述するプレーヤの再生回路と同等のものが用いられる。

【0014】前記のように自動販売機により販売されるタバコやジュースといった商品は、包装又は容器の中に入れて包装や容器と一体的に販売される。また、従来の商品化された情報等は、紙を媒体とした印刷物、フロッピーやICメモリを媒体としてそれが包装や容器といった役割を果たして販売される。そして、音楽プログラムも磁気テープやコンパクトディスクといった記憶媒体と一体的に販売される。これらの媒体は、それ自体では何の商品価値も持たない。それが電子手帳やパーソナルコンピュータといった端末装置と組み合わせられて、商品としての情報の取り出しと加工が行われる。また、音楽プログラムもカセット式テープレコーダや再生装置と組み合わせられてはじめて商品の価値が発揮される。これに対して、本願においては、上記のような容器といった役割を果たす記憶媒体を介在させること無しに商品としてのデジタル信号を電気信号の形態のまま受け渡しを行うようにする。このような電気信号の形態のままでのデジタル信号の受け渡しのために、プレーヤには記憶回路RAMが搭載される。そして、このRAMに取り込まれたデジタル信号は、プレーヤの持つ再生回路によりプレーヤ単体での再生が可能にされる。すなわち、受け渡された商品が、そのまま直ちに商品としての価値を発揮する。このような2つの特徴が、従来における商品の取引きと大きく異なるものである。また、上記のようにプレーヤを端末装置に接続して、商品としてのデジタル信号を受け渡しを行うシステムでは、必要に応じて必要な情報のみを特定して販売できる。

【0015】図4において、POWは電源回路であり、特に制限されないが、プレーヤへの高速なデジタル信

号の伝送、言い換えるならば、書き込み動作のために、端末装置から動作電源の供給が行われる。また、プレーヤの電源として、後述するような一次電池に代えて充電が可能な二次電池を用いた場合や、一次電池と二次電池とが内蔵される場合には、プレーヤが情報サーバに接続されたときに、上記のようなデジタル信号の受け渡しが行われるとともに、上記の電源回路POWにより二次電池に対する急速充電も行われる。上記出力部とプレーヤとの間で授受される信号の例としては、上記動作電圧V、デジタル信号D、アドレス信号A、コントロール信号C及びステータス信号S等がある。

【0016】図5には、上記プレーヤの一実施例のブロック図が示されている。プレーヤは、大きく分けるとデジタル信号を記憶する記憶回路RAM、ゲートアレイ等から構成される大規模集積回路LSI、再生回路から構成される。記憶回路RAMは、特に制限されないが、約8MBの記憶容量を持つ疑似スタティック型RAMから構成される。例えば、後述するよう約4Mビットの疑似スタティック型RAM(PSRAM)を16個搭載して、上記約8MBの記憶容量を実現する。LSIは、コントローラCTL、アドレスカウンタAC、マルチプレクサMPX及びパラレル/シリアル変換回路P/Sが搭載される。コントローラCTLは、記憶回路RAMに記憶されたデジタル信号の読み出し再生動作のときの各種制御信号の他、記憶回路RAMへのデータ入力の際の制御信号も形成する。アドレスカウンタACは、記憶回路RAMに記憶されたデジタル信号を読み出しの際のアドレス信号を生成する。マルチプレクサMPXは、記憶回路RAMをサーバ(端末装置)からアクセスするときと、記憶回路RAMを内部でアクセスするときのアドレス切り換えを行う。すなわち、記憶回路RAMへのデジタル信号の書き込みはサーバ側からのアドレスにより行われ、そのデジタル信号の再生動作の際の読み出しはアドレスカウンタACにより生成されたアドレスにより行われるものである。

【0017】LPFは、ローパスフィルタであり、デジタルフィルタ回路から構成されて再生に必要な帯域成分のみをデジタル/アナログ変換回路に入力する。この実施例では、後述するように情報やプログラムに応じて複数のサンプリングレートのデジタル信号を扱うようにするものである。これらのサンプリングレートに応じてデジタルフィルタの通過帯域の切り換えも行われる。デジタル/アナログ変換回路は、時分割的に入力されるステレオ信号に対応して左右に分離された左右チャンネルのアナログ信号を出力する機能を持つ。なお、デジタル信号がモノラル信号である場合には、両チャンネルから同じアナログ信号が出力される。プレーヤは、小型軽量化のために音声出力はヘッドフォンにより行うようにするものである。出力RとLはそのためのヘッドフォン端子である。

【0018】図6には、プレーヤを構成する実装基板の一実施例の平面図が示されている。プレーヤは、コントロール基板とメモリ基板から構成される。コントロール基板には、長手方向の両端にボタン電池を挿入する電源部とコネクタ部が分けられて設けられ、その間の基板表面に上記LSIやアンプAMP1、AMP2、ローパスフィルタLPF及びデジタル/アナログ変換回路DACを構成する各半導体集積回路装置等の電子部品が搭載される。コネクタは、JEIDA規格（メモリカード等の規格）に合わせたものが用いられる。電源部はボタン電池ホルダからなり、例えばアルカリボタン電池（LR44）が4個実装可能にされる。このコントロール基板のサイズは、特に制限されないが、縦が52mm、横が82mmとされて既存のICカード用のケースに収納可能にされる。メモリ基板は上記コントロール基板における比較的厚さの厚いコネクタ部と電源部に対応した部分を除いた大きさに相当し、両面に8個ずつのPSRAMが搭載される。このメモリ基板とコントロール基板とはフレキシブル配線基板により接続される。すなわち、上記2つの基板は、検査や修理等を容易にするために見開き可能にされる。

【0019】図7には、ケースに収められた状態の実装基板の側面図が示されている。上記コントロール基板の電源部とコネクタ部を除く表面にメモリ基板がフレキシブル配線基板を介することにより折り返して重ね合わされる。これにより、既存のICカード（RAMカード）と同等のケースに収納可能となり、小型でかつ薄型のプレーヤが実現できる。また、上記のように修理のときにメモリ基板とコントロール基板とを開いた状態にできるからICやLSI等の電子部品の取替等が簡単にできる。

【0020】図8には、プレーヤの他の一実施例の平面図が示されている。この実施例では、プレーヤ本体とメモリ部とが着脱可能にされる。すなわち、プレーヤ本体は、前記同様にコントロール基板にコントロール用のLSIやデジタル/アナログ変換回路DAC及びアンプ等のICや電池ケース及びJEIDA規格準拠のメモリカードコネクタ等から構成される。そして、同図に点線で示すように内部に薄いカード状態のメモリ部（メモリカード）を挿入できる空間と、メモリ部コネクタが設けられる。メモリ部は、例えば薄いカード状のプラスチックケースに、前記のような疑似スタティック型RAMとそのバックアップ用の電池が収められて構成される。このようにメモリ部を着脱可能にすることにより、複数種類のメモリカードを用意できる。例えば、RAMとしてはスタティック型RAMやダイナミック型RAMや、あるいはその記憶容量が複数種類からなるものを用意できる。また、上記のようなRAMの他に、ROMカードも用いることができる。ROMカードとしては、マスク型ROMを用いるもの他、EEPROMを用いてディ

タル信号の受け渡しを行うようにしてもよい。このようなEEPROMを用いた場合には、デジタル信号の受け渡し、言い換えるならば、デジタル信号の書き込み動作がRAMを用いる場合に比べて多少時間がかかる反面、バックアップ用の電池が不用になるからメモリカードの製造や取扱いが簡便になる。

【0021】図9には、上記プレーヤ本体とメモリ部の一実施例のブロック図が示されている。プレーヤ本体の外側には、前記のような情報サーバと接続されるJEIDA規格準拠等のメモリカードコネクタが設けられる。そして、内部には、メモリ部コネクタが設けられる。このメモリ部コネクタを介して上記のようなカード状のメモリ部が着脱可能にされる。情報サーバに対応したメモリカードコネクタから入力されたデータは、メモリ部カードコネクタを介してメモリ部のデータ入力端子D1に供給される。情報サーバに対応したメモリカードコネクタから入力されたアドレスは、セレクトの一方の入力Aに供給される。このセレクトの他方の入力Bには、プレーヤ本体のメモリアドレス発生回路により形成された再生用のアドレスが供給される。このセレクトを介してデジタル信号の受け渡し用のアドレスと再生用のアドレスとが選択的にメモリ部のアドレス端子Aに供給される。そして、情報サーバに対応したメモリカードコネクタから入力された制御信号は、セレクトの一方の入力Aに供給される。このセレクトの他方の入力Bには、プレーヤ本体の制御回路により形成された再生用の制御信号が供給される。このセレクトを介してデジタル信号の受け渡し用の制御信号と再生用の制御信号とが選択的にメモリ部の制御端子Cに供給される。

【0022】上記のようなセレクトを設けてアドレスや制御信号の切り換えを行い、メモリ部を情報サーバ側からアクセスして行われるデジタル信号の受け渡しと、プレーヤ本体のメモリアドレス発生回路や制御回路によりアクセスして行われるデジタル信号の再生が選択的に実行される。上記再生動作において、メモリ部の読み出し動作により出力端子D0から出力されるデジタル信号は、メモリ部コネクタを介してプレーヤ本体のローパスフィルタLPF、デジタル/アナログ変換回路DAC及びアンプ等かな再生回路を通して音声信号として出力される。プレーヤ本体の制御回路は、再生されるデジタル信号のIDコード等に応じて前記のようなローパスフィルタLPFを制御したり、デジタル/アナログ変換回路DACの制御等を行う。また、情報サーバから供給される電源は、上記のメモリ部コネクタを介して接続されたメモリ部へのデジタル信号の高速書き込みのための動作電圧や、プレーヤ本体に搭載された電池が二次電池であるときには、その急速充電動作を行うためにも用いられる。

【0023】図10には、プレーヤの電源供給方式の一実施例のブロック図が示されている。プレーヤは、上記

13

のように記憶回路RAMと、デジタル回路から構成されるコントローラCTL、デジタルフィルタLPF及び後述するようなデジタル／アナログ変換回路DCA及びアナログ信号を出力する増幅回路AMPに分けられる。これらの各回路ブロックは、それぞれの動作電圧が異なる。例えば、記憶回路RAMは、前記のような疑似スタティック型RAMを用いる場合、約4V程度の比較的高い動作電圧を必要とする。これに対して、デジタル回路はCMOS回路ゲートアレイ等を用いることにより、約3Vと比較的低い電圧で動作可能である。そして、ヘッドフォンを駆動する増幅回路AMPにあっては更に動作電圧が低く約1.5V程度でよい。このことから、それぞれの回路の動作電圧に合わせた電池E1、E2及びE3を用い、情報保持動作のために定常的に電池E1の電圧が与えられる記憶回路RAMを除いて、電池E2とE3の電圧は電源スイッチS2とS3を介してそれぞれ対応する各回路に供給される。

【0024】このように電圧値の異なる複数種類の電池を用いて直接的に対応する回路に電源供給を行うようにすることにより電池寿命を長くすることができる。例えば、内部電源を最も高い4Vに合わせると、デジタル回路やアナログ回路AMPでは無駄な電流が流れて消費電流が増大する。そこで、上記4Vを内部降圧回路で降圧するようにすると、降圧回路においても電流消費が行われるから結局電池寿命を短くしてしまう。これに対して、この実施例では、それぞれの回路に必要な最小の電池を選んでそれに電源供給するので、無駄な電流消費が抑えられて実質的な電池寿命を長くすることができる。

【0025】記憶回路RAMへのデジタル信号の書き込み／あるいはデジタル信号の読み出しを高速に行うためには、記憶回路の動作電流が大きくなる。そこで、サーバ（端末装置）に電源供給用コネクタを設けてそこから上記内部電圧より高い約5Vのような動作電圧を供給する。この場合、電池側とサーバ側の電源切り換えを自動的に行うようにするため、コネクタと電池E1はそれぞれダイオードD1、D2を介して記憶回路RAMの電源端子に電圧供給を行うようにするものである。この構成では、プレーヤがサーバに接続されると、サーバ側の動作電圧が約5Vと電池E1の約4Vに比べて高いからダイオードD1がオン状態になり、記憶回路RAMはサーバ側からの動作電圧により動作させられる。このときには、電池E1側のダイオードD2は逆バイアスされてオフ状態になり、電池E1にサーバのコネクタから逆流電流が流れることはない。そして、プレーヤがサーバから抜き取られるとコネクタが開放されるからダイオードD2がオン状態になって電池E1の電圧が記憶回路RAMに供給される。このような電源供給方式を採ることにより、情報サーバ側から記憶回路RAMへのデータ転送を高速に行いつつ、プレーヤの電池寿命を長くすることができる。

14

【0026】図11には、端末装置からプレーヤに転送されるデジタル信号の一実施例の構成図が示されている。デジタル信号のソースとして音楽プログラムのように周波数帯域を広く必要とするものと、ニュースのように周波数帯域を広く必要としないものや、あるいはステレオ再生を必要とするものとモノラル再生で十分なものもある。このようにソースに合わせてプレーヤに内蔵される記憶回路の限られた記憶容量を有効利用するために、デジタル信号としてはそのソースに合わせてサンプリングレートやビット長及びステレオ／モノラルの選択を可能にする。このようにすると、各ソース毎に対応した再生条件の設定が必要になる。この場合、手動により選択するようにすると、選択を指示するための表示手段が増加するし、扱いに慣れないとソースに対する再生条件のミスマッチにより音質が極端に悪化したり、あるいは再生不能になる。

【0027】このような問題を解決するために、図11に示すようにデジタル信号の先頭に再生条件を指定するIDコードが挿入される。このIDコードに続いて再生されるデジタル信号からなるデータが設けられる。このようにデジタル信号とその再生条件を指示するIDコードを一体の信号としてプレーヤに受け渡すようにするものである。これにより、プレーヤの記憶回路RAMにはIDコードとデジタル信号とが一体として記憶される。例えば、プレーヤに対してIDコードをデジタル信号と分離して転送する方式を採る場合には、プレーヤの電源を遮断するとIDコードが消滅しまいような工夫を必要とするが、上記実施例のようにデジタル信号と一体的に記憶回路RAMに記憶させた場合にはそのような問題が生じない。

【0028】図12には、上記IDコードが挿入されるデジタル信号に対応したプレーヤの一実施例のブロック図が示されている。記憶回路RAMから最初に読み出されるデジタル信号は、IDコードと見做されてレジスタREGに取り込まれる。このレジスタREGに取り込まれたIDコードのうち、ビットD0、D1はセレクトSELに入力されて、クロック発生回路CPGにより形成されり4通りのクロックパルスのうちサンプリングレートに対応したクロックパルスを選んでコントローラCTLに伝える。クロック発生回路CPGは、発振回路OSCにより形成された基準周波数信号を受けてサンプリングレートに対応した4通りのクロックパルスを形成する。また、ビットD2はビット長変換回路に入力される。ビット長変換回路はパラレル／シリアル変換機能を持ち、最大2バイトの単位で記憶回路RAMから出力されるデジタル信号をビットD2により指定されたビット長に合わせてロウパスフィルタLPFに入力する。ロウパスフィルタLPFは、デジタルフィルタ回路から構成され、コントローラCTLからサンプリングレートに対応したクロックパルスを受けて入力デジタル信号

の余分な周波数帯域をカットする。また、デジタル／アナログ変換回路DACは、コントローラCTLからサンプリングレートに対応したクロックパルスを受けて入力デジタル信号をアナログ信号に変換する。アナログ増幅回路AMPは、変換されたアナログ信号を増幅してヘッドフォン等の駆動信号を形成する。なお、同図では省略されているが、デジタル／アナログ変換回路DACの出力部には抵抗とキャパシタ等からなるローパスフィルタが設けられる。

【0029】IDコードは、特に制限されないが、D0～D7の8ビット（1バイト）からなり、例えばビットD0とD1により、4通りのサンプリング周波数の指定が行われる。D0、D1が00なら5.5125kHz*

$$t = M / (N \times f_s \times S)$$

【0030】上記サンプリングレートとして、特に制限されないが、44.1kHzはコンパクトディスクと同等の超HIFIの音楽プログラムの再生に用い、22.05kHzはHIFI音楽プログラムの再生に用い、11.024kHzはニュース等の情報プログラムの再生に用い、5.5125kHzは留守番電話の再生等に用いる。上記のようにサンプリング周波数を2倍ずつに設定すると、プレーヤとしては例えば44.1kHzに対応した1つの基準周波数を形成しておいて、それを1/2ずつ分周することにより簡単に形成することができる。したがって、上記のような4通りのサンプリング周波数 f_s に逆比例して記憶再生時間が長くなる。言い換えるならば、一定の記録再生時間を得るときには、サンプリングレート f_s に比例して記憶容量が増大する。

【0031】ビット長が8ビットと16ビットの場合では、上記式(1)から明らかなように記録再生時間が2倍になる。ビット長を増加させると、それに対応して記憶回路RAMの記憶容量は2倍必要になる。これに対して、ビット長を8ビットに減らすと、同じ記憶容量のものでは記憶再生時間が2倍に拡大する。そして、ステレオモードでは、モノラルモードに比べて2倍のデータを必要とする。すなわち、ステレオモードのときには記憶回路RAMから右信号と左信号とが交互に出力されるからモノラルモードのときの2倍の記憶容量が必要になる。この実施例では、デジタル信号のソースに対応して上記のようなサンプリングレート、ビット長及びモードの3通りの再生条件を設定し、それを任意に組み合わせて再生可能にすることにより、限られた記憶回路の記憶容量を最大限に有効利用することができる。そして、これらの再生条件による多数で多様な組み合わせができるが、IDコードを用いてプレーヤに自動的に設定できるから、操作の煩わしさがなく、誰にでも簡単に受け渡された情報等の再生が可能になる。

【0032】上記サンプリングレートの種類あるいは周波数は任意にできる。この場合、それぞれのサンプリングレートに合わせてクロックパルスを発生させるように

* z、D0、D1が01なら11.025kHz、D0、D1が10なら22.05kHz、そしてD0、D1が11なら44.1kHzが指定される。ビットD2は、分解能の指定に用いられ、0なら8ビット、1なら16ビットが指定される。そして、ビットD3はモード指定に用いられ、0ならモノラル、1ならステレオにされる。そして、残りの4ビットD4～D7は拡張機能用に残してある。ここで、記憶回路RAMのメモリ容量（総ビット数M）と、分解能としてのビット長N、サンプリングレート f_s 及びモードS（ステレオS=2、モノラルS=1とする）と記録再生時間tとの関係は、次式(1)により表される。

$$\dots\dots\dots (1)$$

すればよい。そして、IDコードは、端末装置の操作により指定可能なビットを付加するものであってもよい。例えば、上記残りビットにより、後述するような遅聴きモードや早聴きのモードの自動設定を行うようにしたり、プログラム単位での再生と全プログラムを連続して再生する等の再生モードの自動指定を行うものであってもよい。

【0033】図13には、量子化雑音除去回路の一実施例の回路図が示されている。アナログ信号をデジタル化すると、必ず量子化雑音（誤差成分）が発生する。この量子化雑音は、特に無音時に耳ざわりなものとなる。この実施例では、デジタル／アナログ変換回路DACの入力部に、次のような量子化雑音除去回路を設けるものである。

【0034】メモリ回路RAMから読み出されたデジタル信号は、デジタル／アナログ変換回路DACに入力されて、ここでアナログ信号Voutに変換される。特に制限されないが、この実施例の量子化雑音除去回路は、デジタル信号が2の補数コードにより構成される場合に向けられている。上記メモリ回路RAMから読み出されたD0～Dnからなるデジタル信号は、アンドゲート回路を介してデジタル／アナログ変換回路DACの対応する入力端子D0～Dnに入力される。上記メモリ回路RAMから読み出されたデジタル信号は、同図に破線で示したようなレベル判定回路により無音とみなされるレベル判定が行われる。このレベル判定回路の無音とみなされる出力信号は、同図に破線で示されたタイマ回路に入力されて時間判定が行われる。上記レベル判定回路とタイマ回路とにより無音とみなされるレベルが一定時間継続すると、無音期間と判定されてインバータ回路を通した出力信号が論理0となり、上記アンドゲート回路のゲートを閉じるように制御する。すなわち、アンドゲート回路は、メモリ回路RAMから読み出されるデジタル信号に無関係に、上記インバータ回路の出力信号の論理0によりデジタル／アナログ変換回路DACに入力される入力信号D0～Dnを論理0に強制的

に設定する。

【0035】デジタル信号 $D_0 \sim D_n$ は、上記のように2の補数コードにより構成される。すなわち、 $D_0 \sim D_n$ が8ビットからなるとき、正の最大値が01111111で、負の最大値が10000000となり、0レベルは00000000になる。なお、十進法の+1は上記2進法で00000001であり、十進法の-1は上記2進法では11111111となる。したがって、上記のように無音期間と判定されたならアンドゲート回路の出力を0に固定することにより、無音期間での量子化雑音を完全にカットすることができる。

【0036】同図のレベル判定回路は、無音とみなす正の最大値 $+\Delta L$ と負の最大値 $-\Delta L$ を設定可能にされる。例えば、+1を正の最大値 $+\Delta L$ すると、コンパレータCP1の入力Bは00000001が入力され、-1を負の最大値 $-\Delta L$ とすると、コンパレータCP2の入力Bには11111111が入力される。これらのコンパレータCP1、CP2の入力Aには、上記メモリ回路RAMからのデジタル信号が入力される。コンパレータCP1は、 $A \leq B$ のときに1の出力信号を形成し、コンパレータCP2は $A \geq B$ のときに1の出力信号を形成する。これらのコンパレータCP1とCP2の出力信号はアンドゲート回路を介して出力される。それ故、デジタル信号が00000001、00000000、11111111のときにアンドゲート回路の出力が無音検出の1を出力する。なお、デジタル信号が00000010のように、 $+\Delta L$ より大きいときにはコンパレータCP1の出力が0となり、デジタル信号が11111110のように $-\Delta L$ より小さいときにはコンパレータCP2の出力が0となる。これにより、アンドゲート回路からはデジタル信号が上記無音とみなすレベルの範囲内にあるときだけ1の出力信号を形成する。

【0037】タイマ回路は、カウンタ回路CNTとコンパレータCP3から構成される。カウンタ回路CNTのリセット入力Rには、上記レベル判定回路の検出出力が入力される。無音状態を判定するとカウンタ回路CNTのリセットが解除されるため、カウンタ回路CNTはクロックパルスCKの計数動作を開始する。カウンタ回路CNTの計数出力はコンパレータCP3の入力Aに供給される。コンパレータCP3の入力Bには無音期間と見做すための設定時間 t が入力される。これにより、コンパレータCP3は、無音レベルが継続して上記設定時間 t を超えると、出力信号($A \geq B$)を1にする。この出力信号はインバータ回路により反転されて上記アンドゲート回路に入力されるので、メモリ回路RAMから読み出されるデジタル信号に無関係にデジタル/アナログ変換回路DACの入力に供給されるデジタル信号は00000000の0レベルとされる。レベル判定回路において、デジタル信号が上記 $\pm \Delta L$ を超えるレベルが入力されると、コンパレータCP1又はCP2がそれ

を検知して出力を0にし、タイマ回路のカウンタ回路CNTをリセットさせる。これにより、タイマ回路のコンパレータCP3の出力信号が0になり、インバータ回路を通してアンドゲート回路の制御入力を1に設定するので、デジタル/アナログ変換回路DACの入力にはメモリ回路RAMから読み出されたデジタル信号が入力される。このようにして、無音期間が終了すると直ちにメモリ回路RAMから読み出されたデジタル信号がアナログ信号に変換される。

【0038】上記タイマ回路の設定時間 t は、本願発明者における実験結果によれば、音楽プログラムやニュースプログラム等の内容により異なるが、一般的にいて0.5ms~20ms程度の時間が望ましい。もちろん、この範囲を多少超える時間に設定しても大きな問題は生じない。また、無音とみなすレベルは、入力ソースやその分解能に対応して切り換え可能にしてもよい。例えば、一般的にいて16ビットのデジタル信号の場合には、8ビットのデジタル信号の場合に比べて範囲を大きく設定することが望ましい。また、デジタル信号は2の補数コードを用いる必要はなく、8ビットの場合には01111111又は10000000を交流的な中点レベルとするものであってもよい。このようなデジタル信号とした場合には、デジタル/アナログ変換回路DACの入力には、マルチプレクサやゲート回路の組み合わせで無音期間を検出したならメモリ回路RAMからのデジタル信号に代えて01111111又は10000000に切り換えるようにすればよい。

【0039】図14には、以上の動作を説明するための波形図が示されている。同図のAの波形は、メモリ回路RAMからのデジタル信号をそのままデジタル/アナログ変換回路に入力してアナログ信号を形成した場合が示されている。同図に示すように、無音期間では量子化誤差分に対応して信号変化が行われるのでそれがノイズとして耳ざわりなものとなってしまう。これに対して、この実施例の量子化雑音除去回路では、同図Bに示すように無音とみなされるレベルが一定時間 t だけ経過すると、アンドゲート回路により強制的に0レベルに対応したデジタル信号がデジタル/アナログ変換されるので、上記ノイズが除去された0レベルの次の音声信号が到来するまで出力される。上記一定時間 t は前記のように0.5ms~20ms程度と極く短いのでその間に出力される量子化雑音は耳ざわりなものになることはない。この実施例の量子化雑音除去回路は、前記のようなプレーヤに用いられるもの他、デジタル・オーディオ・テープ・レコーダ等のようにデジタル音声信号を扱うもの等各種のデジタル音声処理回路として広く利用できる。

【0040】図15には、この発明に係るデジタル信号販売システムに用いられる機密保護回路の一実施例の回路図が示されている。デジタル化された音声情報等

を商品として販売する場合には、それが簡単にコピーされてしまうことを防ぐことが、その商品価値を高める上で重要となる。そこで、第1に特定の者だけ実質的なデジタル信号の再生動作を行うようにする機能が付加される。第2に前記実施例のデジタル信号販売システムにおいて販売されるデジタル信号がプレーヤに転送されると、プレーヤの内部で次のような信号変換が行われて安易なコピーを防止する機能が付加される。

【0041】上記特定の者だけの再生動作を行うようにするため、あるいは特定の者によるコピーを許可するため、メモリ回路RAMの読み出し出力部にはパスワードの判定信号によって制御される排他的論理和回路EORが設けられる。この排他的論理和回路EORは、読み出し信号D0～Dnの全ビットに対応して設けるものの他、少なくとも上位1ビットを含む1ないし複数のビットに対してのみ上記排他的論理和回路EORを設けるものとしてもよい。上記メモリ回路RAMの入力データ端子には、前記端末装置（サーバ）から転送されるデジタル信号がそのまま入力される。なお、メモリ回路RAMの入力と出力とが共通化された半導体メモリを用いた場合には、メモリ回路のデータ端子が接続される信号バスに対して、読み出し信号経路上に上記排他的論理和回路EORが挿入される。メモリ回路RAMは、アドレス更新パルスを受けるアドレスカウンタACにより生成されたアドレス信号により、デジタル信号の読み出しが行われる。

【0042】上記パスワードは、プレーヤにスイッチ又はROM等により予めセットされている。このパスワードはプレーヤの購入際に購入者に知らされる。それ故、プレーヤによりデジタル信号の再生を行うときには、上記パスワードをセットするようにする。図示しないコンパレータ等により登録されたパスワードと入力されたパスワードとが一致すると、パスワード判定信号が0にされる。それ故、排他的論理和回路は、0と一致した0が入力されると、0の一致信号が出力される。上記0と不一致の1が入力されると、1の不一致信号が出力される。このようにパスワード判定信号が0のときには、排他的論理和回路EORは入力デジタル信号をそのままスルーして出力させる。

【0043】これに対して、図示しないコンパレータ等により登録されたパスワードと入力されたパスワードとが不一致と判定されるとパスワード判定信号が1にされる。それ故、排他的論理和回路は、1と一致した1が入力されると、0の一致信号が出力される。上記1と不一致の0が入力されると、1の不一致信号が出力される。このようにパスワード判定信号が1のときには、排他的論理和回路EORは入力デジタル信号を反転して出力させる。上記のように全ビットのデジタル信号に対して排他的論理和回路EORを設けると、パスワードが不一致のときには全ビットが逆転し、逆転されたビットをア

ナログ変換しても意味をなさない音声信号となって情報の機密保持を行う。また、コピーを行う場合にも、言い換えるならば、メモリ回路RAMのデータを外部に出力する場合にもパスワードを必要とすることにより安易なコピーが防止できる。

【0044】ニュースや交通情報等のようにそれを機密にすることがあまり重要でないものもある。このような場合には、前記IDコードを利用してパスワードの無効にするものとしてもよい。言い換えるならば、IDコードにより機密を必要とする場合にのみパスワードの一致を条件にして前記機密保護動作を行うようにするものであってもよい。このようにすれば、機密保護を行う必要のあるものを販売側で指定することができる。また、留守番電話を受け取ったとき、それを他人に聞かれない場合がある。このような場合には、端末装置により上記機密保護を行うようIDコードによる機密保護の指定が可能にするものとしてもよい。いずれにしても、IDコードにより真に機密保護を行う場合にのみパスワードの入力を必要とすることにより、操作の煩わしさを最小にすることができる。

【0045】図16には、この発明に係るデジタル信号販売システムに用いられる機密保護回路の他の一実施例の回路図が示されている。この実施例では、パスワードの一致判定信号と排他的論理和回路EORを用いた機密保護回路がメモリ回路RAMのデータ入力端子側に設けられる。この場合でも、パスワードが不一致のときにはメモリ回路RAMに書き込まれるデジタル信号そのものの各ビット又は1ないし任意のビットが反転されて、意味をなさない音声信号に変換されるので、前記同様に機密保護を行うことができる。この場合には、端末装置から機密保護を必要とするデジタル信号の転送が行われるときに、端末装置のタッチキー等によりパスワードが入力されて一致した場合のみ、実質的に有効なデータの転送が行われ不一致の場合には上記のようにビットを反転させて実質的に意味を持たないデジタル信号を転送させる。これに代えて、転送動作をそのものを停止させるものとしてもよい。

【0046】図17には、この発明に係るデジタル信号販売システムに用いられる機密保護回路の更に他の一実施例の回路図が示されている。この実施例では、パスワードの一致判定信号と排他的論理和回路EORを用いた機密保護回路がメモリ回路RAMのアドレス入力端子側に設けられる。この場合には、パスワードが不一致のときにはメモリ回路RAMのアドレス選択が入力のときは異なり、1ないし複数ビットが反転されることにより、入力のときの連続したアドレスに対して出力のときには飛び飛びのアドレスに変化してしまう。この結果、このような飛び飛びのアドレスにより読み出されるデジタル信号はもはや音声情報として意味をなさないものになるので前記同様に機密保護を行うことができる。図

15又は図16の実施例と図17の実施例とを組み合わせ、データとアドレスの双方のそれぞれに1ないし複数の排他的論理和回路を用いた機密保護回路を設ける構成としてもよい。このようにすれば、データとそのアドレスの組み合わせにより、いっそう高い機密保護を行うようにすることができる。

【0047】図18には、この発明に係るデジタル信号販売システムに用いられる機密保護回路の更に他の一実施例の回路図が示されている。この実施例は、主としてデジタル信号のコピー防止に向けられている。プレーヤには、EPROM等により個々のパスワードが登録されている。このパスワードはプレーヤの購入者自身も知られない暗号コードとされる。これらの暗号コードの各ビットは、メモリ回路RAMの入力と出力にそれぞれ設けられた排他的論理和回路EORの一方の入力に供給される。同図では、メモリ回路RAMのデータ入力とデータ出力の全ビットに対して排他的論理和回路が設けられるようにされているが、任意の1ないし複数のビットに対してのみ排他的論理和回路EORを設けるものとしてもよい。ただし、対応する入力と出力とは一対として上記排他的論理和回路EORがそれぞれに設けられる。

【0048】上記パスワードにより排他的論理和回路EORの入力が0にされたデータ入力ビットはそのままスルーして書き込まれ、パスワードにより排他的論理和回路EORの入力が1にされたデータ入力ビットは反転されて書き込まれる。メモリ回路RAMからの読み出されたデジタル信号は、上記同じパスワードにより制御される排他的論理和回路EORを通すことにより、前記のようにスルーのビットはそのままスルーとなり、反転されたビットは再び反転されるからもとにもどされる。これにより、入力デジタル信号と同じデジタル信号がデジタル/アナログ変換回路DACに伝えられるので、音声再生には問題なく行われる。

【0049】これに対して、プレーヤのコネクタ側に対してはメモリ回路RAMの読み出しをそのものを出力させる。言い換えるならば、書き込み回路側でパスワードによりビット変換されたデジタル信号を出力させる。これにより、コピーされたデジタル信号は、もとのデジタル信号とは異なり意味をなさないものとなるから実質的なコピー防止が可能になる。なお、上記のパスワードの解説は、デジタル回路の知識を持つ者であれば比較的簡単に行うことができる。しかし、前記のようなニュースや株式市況あるいは音楽プログラム等の販売価格からして、上記の機密保護を破壊する労力のほうがコスト的に高くなり意味をなさないであろう。すなわち、本願のデジタル信号販売システムにおける機密保護は安易なコピーや安易な盗聴が防げれば十分である。

【0050】図19には、この発明に係るデジタル信号販売システムに用いられる機密保護回路の更に他の一

実施例の回路図が示されている。この実施例は、前記のような排他的論理和回路EORによるビットのスルー/反転を行うものに代えて、並べ換え回路を用いる。例えば、並べ換え回路は、2つの信号経路をもち1つは入力信号をそのまま出力させるものと、他の1つは入力側ビットD0~Dnに対して出力側ビットD0~Dnの空間的な入れ換えを行うもの、具体的には、最下位ビットD0を最上位ビットDnとして出力させたり、D1をD2として出力させるものである。パスワード判定信号が不一致なら上記並べ換えを行うことにより、デジタル信号の意味をなさないものに破壊して出力させる。この並べ換え回路は、図16の排他的論理和回路EORに代えて入力側データに設けるものとしてもよいし、図17の排他的論理和回路EORに代えてアドレス入力側に設けるものとしてもよい。

【0051】図20は、上記機密保護回路に用いられる並べ換え回路の一実施例の具体的回路図が示されている。同図には、複数ビットからなるデジタル信号に対して、1ビット分の並べ換え回路が代表として例示的に示されている。D0~Dnからなる複数ビットの入力デジタル信号は、切換回路によりいずれか1つが選択されて出力端子から最下位ビットD0として出力される。切換回路は、デコーダにより形成された選択信号によりD0~Dnの中から1つを選択して出力させる。

【0052】上記デジタル信号D0~Dnが8ビットの場合、乱数回路では3ビットの乱数(十進法で0~7)を発生させて、セレクトSELの入力端子Aに供給する。このセレクトSELの他方の入力端子Bには、上記出力ビットD0に対応した十進法の0を指定する3ビットの2進信号(000)が入力される。そして、セレクトSELの選択端子Sにはパスワード判定信号が入力される。パスワード判定信号は、パスワードが一致したときには1のハイレベルとなり、セレクトSELの入力Bの信号を出力Yから送出させる。

【0053】上記のようにパスワードが一致したときには、出力ビットD0に対応した十進法の0がセレクトSELを通してデコーダに入力されるので、デコーダは切換回路に対して入力ビットD0の選択信号を形成して供給する。これにより、切換回路では入力信号D0が出力信号D0としてそのまま出力される。これに対して、パスワードが不一致のときには、乱数回路により生成された3ビットの信号が選ばれてデコーダに入力される。これにより、デコーダは3ビットの信号を解説して8ビットの入力信号D0~Dnの中から1つの選択信号を形成する。上記入力信号D0が選ばれる確率は1/8である。残りの7ビットの出力信号についても上記同様な回路が設けられるので、パスワードが不一致でも入力信号D0~Dnがそのまま出力される確率は、 $1/(8 \times 8 \times 8 \times 8 \times 8 \times 8 \times 8) = 1/16777216$ のように極めて低くなり機密保護が可能になる。この回路の特

徴は、乱数回路によりその都度ビットの入れ変えの組み合わせが異なるので、出力されたビット列から真のデータを解読することを実質的に不能にすることができる。

【0054】図21には、高音質での早聴きと遅聴き再生を実現したデジタル音声信号処理回路の一実施例のブロック図が示されている。前記のようなデジタル信号販売システムでは、ニュースや各種市況といった情報は、短時間での聞取りを行うために早聴き再生が有効とされる。また、プレーヤの使用者が老人等である場合には、単に聴力の低下ばかりか、言葉そのものの理解に時間を要するため、遅聴き機能を付加することが有効とされる。従来のカセット式テープレコーダ等のようなアナログ式の録音装置では、テープスピードを、録音時間に対して再生時間を変えることにより遅聴きや早聴きを行うようにすることができる。しかし、このようにテープスピードを変化させると、同時にピッチ（周波数）も変わってしまい、原音に対する忠実性が失われる結果、非常に聞きづらいものになってしまう。そこで、デジタル信号プロセッサ等を用いた信号処理技術を利用することにより、上記ピッチを変えずに再生速度を変えることも考えられる。しかし、このようにすると、構成が複雑になるとともに、消費電力も増大して前記のような携帯プレーヤに搭載できないばかりか価格も高価になってしまう。さらに、音声にしか効果がなく、音楽プログラムの再生が困難となる。

【0055】この実施例では音声情報に含まれる無音期間を活用し、早聴き再生のときには無音期間を短縮ないし実質的に削除して再生し、遅聴き再生のときには無音期間を拡大ないし延長して再生させるようにするものである。このような方式を採用することにより、早聴きや遅聴き再生においても、原音のピッチそのものは変化がないから高音質を維持させることができる。そして、その構成は、後述するように比較的簡単な論理回路の組み合わせにより構成でき、デジタル信号処理プロセッサ等のような高価で複雑な装置を用いる必要がなく、安価でかつ小型化が可能となる。

【0056】上記図21の実施例は、前記デジタル信号販売システムのプレーヤに搭載された例が示されている。メモリ回路RAMから読み出されたデジタル音声信号は、デジタル/アナログ変換回路DACに入力されるとともに、無音期間検出回路にも入力される。この無音期間検出回路は、前記図13図の実施例の量子化雑音除去回路に用いられたと同様な回路を利用できる。前記量子化雑音除去回路も搭載した場合にはそれと共用化して無音期間検出回路を用いるのもであってもよい。この無音期間検出回路の出力信号は、早聴/遅聴回路に入力される。早聴/遅聴回路は、モード1とモード2の制御信号を受けて、早聴き又は遅聴きの指定が行われる。この早聴/遅聴回路は、上記モード信号に対して上記メモリ回路RAMの読み出しアドレス信号を形成するアド

レスカウンタACの動作制御を行う。例えば、モード1により早聴きが指定されたなら、無音期間が検出されるとクロックの周波数を通常より速くして無音期間でのメモリ回路RAMの読み出しを速することにより、無音期間を実質的に短くして早聴き再生とする。

【0057】逆に、モード2により遅聴きが指定されたなら、無音期間が検出されるとクロックの周波数を通常より遅く又は一定期間停止して無音期間でのメモリ回路RAMの読み出し時間を拡大ないし延長させることにより遅聴き再生とする。なお、アドレスカウンタACの出力信号は、セレクトを介してメモリ回路RAMに入力される。セレクトは、メモリ回路RAMに対してデジタル信号を書き込むときには、外部のアドレス信号をメモリ回路RAMに入力させ、メモリ回路に記憶されたデジタル信号を読み出すとき、言い換えるならば、デジタル信号の再生動作のときにはアドレスカウンタACにより生成されたアドレス信号をメモリ回路RAMに入力させる。

【0058】図22には、早聴き回路の具体的実施例のブロック図が示されている。この実施例では、無音期間検出回路の出力信号は、一方においてインバータ回路Nを介してアンドゲート回路Gに入力される。このアンドゲート回路Gは、メモリ回路RAMからのデジタル信号をデジタル/アナログ変換回路DACに入力するゲート回路であり、前記量子化雑音除去回路と同じ構成にされる。すなわち、この実施例では、無音期間での早聴きとともにその間の量子化雑音も同時に除去しようとするものである。上記無音期間検出回路の出力信号は、セレクトSELの制御端子Sに入力される。セレクトSELは、制御端子Sに入力される無音期間検出回路の出力信号に応じて2つのクロックパルスCK1とCK2を選択的にアドレスカウンタACに入力する。例えば、クロックパルスCK1は、通常再生に対応したクロックパルスであり、前記のデジタル信号のサンプリングレートに対応した周波数を持つようにされる。これに対して、クロックパルスCK2は、早聴き用に用いられ上記クロックパルスCK1の約10倍程度の高い周波数にされる。

【0059】早聴きモードが指定されている場合、無音期間検出回路において無音と判定されたなら出力信号がハイレベル（論理1）になる。これを受けてインバータ回路Nの出力信号がロウレベルとなって、アンドゲート回路Gのゲートを閉じてしまうので、前記のような2の補数コードのデジタル信号の場合には、無音期間においてデジタル/アナログ変換回路DACに入力されるデジタル信号が強制的に0レベルに対応したものとされる。また、上記無音期間検出回路の出力信号のハイレベルにより、セレクトSELはクロックCK1に変えてクロックCK2をアドレスカウンタACに入力する。これにより、アドレスカウンタACは、通常の再生動作の

約10倍の速度でアドレス歩進動作を行う。これにより、無音期間が約1/10に短縮されて、等価的に早聴き再生が行われる。本願発明者の実験によれば、原稿を読むというニュースプログラムから各種会話や講演等の全体の再生時間に対して無音期間の占める割合は比較的長く約30%~50%にもなる。これの無音期間を実質的に無くすことにより、再生時間を約2/3~1/2に短縮させることができるものとなる。

【0060】上記無音期間が終了すると、直ちにもとの通常再生に戻るから音質は原音と同じくなり、聞取りが極めて容易になるものである。なお、この実施例回路において、早聴き機能を停止させる場合は、例えば無音期間検出回路の出力信号を新たに追加されたアンドゲート回路等を通してセレクトSELの制御端子Sに入力させればよい。そして、早聴きを行わないときには上記アンドゲート回路の入力に0を入力すれば、セレクトSELの制御端子Sは常にロウレベルにされるから、無音期間でもクロックCK1がアドレスカウンタACに入力されて無音期間に対応した時間だけ無音レベルが出力される。このときには、アンドゲート回路Gが前記のような量子化雑音除去回路として作用して、その間の量子化雑音の発生を防止する。

【0061】図28には、遅聴き回路の具体的一実施例のブロック図が示されている。この実施例では、遅聴き再生のために真の無音期間に比例して拡大された無音期間を作り出すようにするものである。前記のような無音期間検出回路の出力信号は、一方においてフリップフロップ回路FFのセット入力Sに供給され、他方においてアンドゲート回路G1の一方の入力に供給される。このアンドゲート回路G1の他方の入力には、無音期間を測定するためのクロックパルスCK3が入力される。アンドゲート回路G1の出力信号は、無音期間カウンタに入力される。無音期間カウンタは、無音期間検出回路により無音と判定された間、上記クロックパルスCK3を計数することにより、その無音時間に対応した計数動作を行う。カウンタはアンドゲート回路G2を介して入力される上記クロックパルスCK3の計数動作を行う。上記無音期間カウンタは、上記無音期間の時間計測とともにその情報保持動作を行うものであり、この無音時間情報と同じクロックパルスCK3を計数するカウンタにより上記無音時間の再現動作が行われる。すなわち、上記無音期間カウンタとカウンタの出力はコンパレータCPに入力され、その一致出力A=BがNカウンタにより計数される。

【0062】Nカウンタは、無音期間をN倍に指定するためのものであり、特に制限されないが、N値は可変にされる。Nカウンタは、プログラマブルカウンタであり、計数値QがNに一致すると、一致信号Q=Nを出力して、上記フリップフロップ回路FFをリセットさせる。このNカウンタは、ダウンカウンタ回路を用いて実

現することもできる。計数値が初期値Nからダウンカウント動作を行う0になったときのボロー出力により、上記フリップフロップ回路FFをリセットさせるようにするものであってもよい。フリップフロップ回路FFの出力信号Qは、一方においてインバータ回路Nにより反転されて前記量子化雑音除去機能を持つアンドゲート回路Gの制御信号として用いられる。そして、上記フリップフロップ回路FFの出力信号Qは、他方において上記カウンタにクロックパルスCK3の供給を行うアンドゲート回路G2の制御や、インバータ回路N1を介してアンドゲート回路G3の制御信号とされる。このアンドゲート回路G3は、アドレスカウンタACに前記クロックパルスCK1を選択的に供給するゲート回路として作用する。

【0063】この実施例回路の動作は、次の通りである。無音期間検出回路において無音期間が検出されると、アンドゲート回路G1がゲートを開いてクロックパルスCK3を無音期間カウンタに入力する。これにより、無音期間検出回路により無音状態として判定されている間、無音期間カウンタはクロックパルスCK3の計数動作を行う。無音期間検出回路により音声デジタル信号が入力されたと判定されると、その検出信号のハイレベルからロウレベルへの変化に同期して、フリップフロップ回路FFがセットされる。これにより、出力信号Qがハイレベルになり、メモリ回路RAMからのデジタル信号に代えて無信号レベルに対応したデジタル信号をデジタル/アナログ変換回路DACに供給する。上記フリップフロップ回路FFの出力信号Qの論理1への変化に応じてインバータ回路N1の出力信号が論理0となり、アンドゲート回路G3のゲートを閉じてしまう。これにより、アドレスカウンタACにはクロックパルスCK1が供給されないで、アドレスカウンタACは前のアドレスを保持したままにされる。言い換えるならば、メモリ回路RAMの読み出し動作が停止させられる。

【0064】上記フリップフロップ回路FFの出力信号Qの論理1への変化により、アンドゲート回路G2がゲートを開くので、カウンタはクロックパルスCK3の計数動作を開始する。この計数値が上記無音期間カウンタの計数値と等しくなると、コンパレータCPが一致信号A=Bを出力して、Nカウンタを動作させるとともにカウンタをリセットする。以上の動作の繰り返しにより、NカウンタがN値を計数すると、フリップフロップ回路FFがリセットされる。すなわち、上記無音期間カウンタにより計測された無音時間がN倍されると、フリップフロップ回路FFがリセットされる。このフリップフロップ回路FFのリセットにより、アンドゲート回路G3がゲートを再び開いて、クロックパルスCK1をアドレスカウンタACに入力する。これにより、メモリ回路RAMからの実質的なデジタル信号の読み出しが再開さ

れるとともに、アンドゲート回路Gがゲートを開いて読み出されたデジタル信号をデジタル/アナログ変換回路DACに供給するので、音声信号が再び出力されることになる。この構成では、無音期間の拡大がもとの原音の無音期間に比例するものである。それ故、会話や講演の間が、それぞれに従って拡大されるので聞取り易くなるものである。

【0065】なお、無音期間をカウントするとき、前記のような量子化雑音出力されてしまう。この無音期間のカウント時の量子化雑音を除去するためには、例えば、無音期間検出回路の出力信号をインバータ回路を介して反転させてアンドゲート回路Gを制御するものとすればよい。この場合は、アンドゲート回路Gは3入力のゲート回路が用いられ、無音期間のカウント時には上記追加された無音期間検出回路の出力信号により量子化雑音が除去され、それ以降の無音期間が拡大される間は、前記のようにフリップフロップ回路FFの出力信号Qにより量子化雑音が除去される。

【0066】図24には、前記図22の早聴き回路に対応した動作波形図が示されている。源信号の無音期間Tm1やTm2が、その間をアドレスカウンタACに供給されるクロックパルスを切り換えて実質的に削除することができるから、音声信号のピッチ（周波数）を変えることなく、言い換えるならば、音声信号の音質を劣化させることなく早聴きが可能になる。

【0067】図25には、前記図23の遅聴き回路に対応した動作波形図が示されている。源信号の無音期間Tm1やTm2が、カウンタ及びNカウンタによりその間のアドレスカウンタACの動作が停止されてn倍にそれぞれ拡大されるから、音声信号のピッチ（周波数）を変えることなく、言い換えるならば、音声信号の音質を劣化させることなく遅聴きが可能になる。

【0068】図26には、この発明に係る早聴き回路の他の一実施例のブロック図が示されている。この実施例では、早聴き再生のためにアドレスカウンタACに加算回路AUを用いてアドレス生成動作そのものを切り換えるようにするものである。すなわち、アドレスカウンタACは、加算回路AUとその加算出力A+Bを受けるレジスタREGからなり、レジスタREGの出力信号Qが加算入力Aに帰還されるとともに、メモリ回路RAMの読み出しアドレスとしてセレクトAに入力される。加算回路AUの他方の入力Bには、セレクトSELを介して1と正の整数Mが選択的に入力される。このセレクトSELの制御端子Sには、無音期間検出回路の出力信号が供給される。無音期間検出回路の出力信号は、前記実施例と同様にインバータ回路Nを介して量子化雑音除去を行うアンドゲート回路Gにも供給される。

【0069】無音期間検出回路により無音期間と判定されると、セレクトSELは1に代えてMを選択して加算回路AUに伝える。したがって、無音期間に入る前に

は、加算回路AUは、レジスタREGにより形成されたアドレス信号に+1の加算を行って次のアドレス信号を生成するという+1のカウント動作を行うものである。これに対して、上記のように無音期間と入ると、セレクトSELはMを加算回路AUに入力する。この結果、加算回路AUはレジスタREGにより形成されたアドレス信号に+Mの加算を行って、Mアドレス分スキップさせたアドレス信号を生成する。これにより、無音期間でのアドレス歩進動作が等価的に高速になって前記同様に無音期間の実質的な削除が行われる。

【0070】図27には、この発明に係る遅聴き回路の他の具体的一実施例のブロック図が示されている。この実施例では、遅聴き再生のために遅聴き用のクロックパルスCK4が用意される。すなわち、前記図20に示した早聴き回路とは逆に、遅聴き用に遅いクロックパルスCK4を用意して、無音期間に入るとセレクトSELを切り換えて通常のクロックパルスCK1から遅聴き用のクロックパルスCK4に切り換える。上記クロックパルスCK1に対してクロックパルスCK4の周波数の1/Nに低くすると、アドレスカウンタACの動作がN倍に遅くなり、無音期間を等価的にN倍に拡大できる。この実施例では、前記図22と同様な回路により構成できるから、セレクトSELの入力Bに対して同様なセレクト又は適当な切り換え回路を介して早聴きモードのときにはクロックパルスCK2を、遅聴きモードのときにはクロックパルスCK4をそれぞれ選択的に供給するようにすれば早聴きと遅聴き再生が可能になる。

【0071】図28には、この発明に係る遅聴き回路の具体的他の一実施例のブロック図が示されている。遅聴きモードにおいては、前記のように使用者が老人等である場合の聴取を便利するものである。したがって、比較的長い無音期間に対してもその期間の拡大や延長を行うと、かえって聞取りにくくなることとなる。そこで、この実施例では遅聴きモードでの無音期間の拡大ないし延長に一定の制限を設ける機能を付加するものである。

【0072】この実施例は、前記図23に示した遅聴き回路を基本にして、次のような回路が付加される。無音期間カウンタの出力信号Qは、乗算回路MUに供給されてN倍にされる。このN倍にされた乗算出力は、セレクトSELの一方の入力Aと、コンパレータCP2の一方の入力Aに供給される。上記無音期間カウンタの出力信号Qは、コンパレータCP3の一方の入力Aに供給される。上記セレクトSEL及び2つのコンパレータCP2、CP3の他方の入力には、無音期間の最大延長時間Kが入力される。上記無音期間をN倍にするN値や、最大延長時間Kは、特に制限されないが、プレーヤの利用者において一定の範囲で任意に設定できるようにされる。特に制限されないが、最大延長時間Kは、1～5秒の範囲で調整可能にされる。本願発明者等による遅聴き試験の結果では3秒程度が適当であると判定された。

【0073】コンパレータCP1の一方の入力Aには延長カウンタの出力信号Qが供給され、他方の入力Bには上記セクタSELの出力信号Yが供給される。上記セクタSELの制御端子SにはコンパレータCP2の出力信号が供給される。そして、コンパレータCP1とCP3の出力信号は、オアゲート回路G4を通してフリップフロップ回路FFのリセット端子R、無音期間カウンタのリセット端子R及び延長カウンタのリセット端子Rに供給される。上記フリップフロップ回路FFは、前記同様に無音期間検出回路の立ち下がり、言い換えるならば、原信号の無音期間の終了タイミングでセットされる。このフリップフロップ回路FFの出力信号Qは、インバータ回路Nを介して前記のようなアンドゲート回路Gの制御と、延長カウンタの計数動作を制御するアンドゲート回路G2及びインバータ回路N1を介してアドレスカウンタACの計数動作を制御するアンドゲート回路G3に供給される。

【0074】図29には、図28の動作の一例を説明するための動作概念図が示されている。処理前は原信号であり、Tmaxは最大延長時間Kに相当する。このように処理前の原信号の無音期間Tdが、上記最大延長時間Kより大きい場合にはコンパレータCP3の入力Aに供給される無音期間カウンタの出力信号Qが、コンパレータCP3の入力Bに供給される最大延長時間Kより大きくなると、コンパレータCP3の比較出力A≧Bが論理1になる。これにより、オアゲート回路G4を通してフリップフロップ回路FF、無音期間カウンタ及び延長カウンタをリセットしてしまうので、等価的に遅延モードが無効にされる。これにより、遅延動作処理前と処理後では同じとなる。このように、原信号での無音期間が遅延の目的を超えるように長い場合には実質的に無音期間の延長動作が無効にされる。

【0075】図30には、図28の動作の他の一例を説明するための動作概念図が示されている。同図においても上記と同様に処理前は原信号であり、Tmaxは最大延長時間Kに相当する。このように処理前の原信号の無音期間Tdは、上記最大延長時間Kより短い、それがN倍されると最大延長時間Kより長くなるような場合には、乗算回路MUにより求められた無音時間Td×Nが最大延長時間Kより大きくなることをコンパレータCP2が検出して、その比較出力A≧Bが論理1にする。この比較出力信号の論理1に応じて、セクタSELは入力Aの乗算出力Td×Nに代えて入力Bの最大延長時間KをコンパレータCP1に伝える。これにより、延長カウンタの出力信号Qが上記最大延長遅延時間を超えるとコンパレータCP1の比較出力A≧Bが論理1になり、オアゲート回路G4を通してフリップフロップ回路FF、無音期間カウンタ及び延長カウンタをリセットする。このようにして、処理後の信号においては無音期間の延長時間が上記最大延長時間を超えないように制限

される。

【0076】図31には、図28の動作の更に他の一例を説明するための動作概念図が示されている。同図においても上記と同様に処理前は原信号であり、Tmaxは最大延長時間Kに相当する。このように処理前の原信号の無音期間Tdが上記最大延長時間Kより短く、かつそれをN倍したものが最大延長時間Kより短くなるような場合には、乗算回路MUにより求められた無音時間Td×Nが最大延長時間Kより小さくなることをコンパレータCP2が検出して、その比較出力A≧Bが論理0にする。この比較出力信号の論理0に応じて、セクタSELは入力Aの乗算出力Td×NをコンパレータCP1に伝える。これにより、延長カウンタの出力信号Qが上記拡大された無音期間Td×Nを超えるとコンパレータCP1の比較出力A≧Bが論理1になり、オアゲート回路G4を通してフリップフロップ回路FF、無音期間カウンタ及び延長カウンタをリセットする。このようにして、処理後の信号においては無音期間がN倍に拡大されたものとなる。

【0077】図32には、早聴きと遅聴き動作の他の一実施例を説明するため波形図が示されている。この実施例では、早聴きや遅聴きの他にデータ圧縮機能をも行うようにするものである。逆に言えば、原信号の無音期間を処理信号のように無音信号MKに置き換えるものである。なお、同図の無音信号MKはその挿入位置を示すものであり、実際にアナログ変換されるときには無音信号MKが挿入された部分は無音状態にされるものである。このような無音信号MKを挿入させることにより、無音期間が数バイトのような情報に置き換えられるから、アナログ変換される前のデジタル信号に含まれる無音期間を実質的に無くすることができる。この結果、デジタル信号の記憶に必要な記憶容量が全体に対する無音期間が占める割合分だけ、前記のように約1/2~2/3程度に減少させることができる。このようなデータ圧縮方法を採用した場合には、上記無音信号MKを利用することにより、選択的にそれを拡大させたり、縮小させたりすることにより遅聴きや早聴き動作を行わせることができる。このようなデータ圧縮には、基本的には前記のような早聴き回路を利用することができる。早聴き回路では、無音期間では量子化雑音を除去するために0レベルを出力させるようにしたが、それに代えて無音信号MKを挿入させるようにすればよい。

【0078】図33には、無音信号MKの一実施例のビットパターン図が示されている。無音信号MKは、無音マークと無音時間情報とから構成される。無音マークは、通常の音声デジタル信号ではあり得ないビットパターンの組み合わせが選ばれる。この実施例では、デジタル信号が2の補数コードからなる場合、正の最大値01111111と負の最大値10000000の組み合わせを用いる。通常の音声信号として正の最大値から負

31

の最大値に変化することはないので、この組み合わせを無音マークとして用いる。上記無音マークとしては、上記の場合とは逆の組み合わせ、あるいは2バイトの他、3バイトあるいは4バイトを組み合わせて構成してもよい。無音時間情報は、特に制限されないが、2バイト分用意されている。これより長い無音期間にも対応させるために、無音時間情報に3バイトや4バイト等を用いるものであってもよい。

【0079】図34には、上記のようなデータ圧縮が行われたデジタル信号に対する早聴き/遅聴きモードを含むデジタル信号再生回路の一実施例のブロック図が示されている。アドレスカウンタACには、アンドゲート回路G3を介してアドレスカウンタ用クロックADCKが供給される。メモリ回路RAMの読み出し信号は、前記のように無音信号MKが2バイトの無音マークと2バイトの無音時間からなるときには、それに対応して4段のシフトレジスタSR1~SR4を通して出力される。これらのシフトレジスタSR1~SR4は、アンドゲート回路G4を介してデータシフトクロックDSCKが供給される。上記シフトレジスタSR4、SR3の出力AとBは、マーク検出回路に入力される。マーク検出回路は、上記信号AとBのビットパターンが前記正の最大値01111111と負の最大値10000000に一致するか比較判定を行う。マーク検出回路の検出信号は、フリップフロップFF1とFF2のセット信号として用いられる。

【0080】シフトレジスタSR2とSR1の出力CとDは、コンパレータCP1の一方の入力Aに供給される。このコンパレータCP1の他方の入力Bには無音カウンタの出力信号が供給される。上記コンパレータCP1の出力信号は、オアゲート回路G2を介して無音カウンタのリセット端子Rと、無音期間の延長に用いられる繰返カウンタの入力CKに供給される。この繰返カウンタの出力QはコンパレータCP2により延長倍率Nと比較される。フリップフロップ回路FF2の出力Qは、インバータ回路N2を介して上記オアゲート回路G2、及びアンドゲート回路G3とG4に供給される。これにより、無音マークが検出されるとアドレスカウンタACの動作及びシフトレジスタSR1~SR4のシフト動作が停止されて、無音信号がシフトレジスタSR1~SR4に保持される。このとき、メモリ回路RAMもアドレスカウンタACの動作停止に従い読み出し停止状態にされる。上記コンパレータCP2の出力信号は繰返カウンタとフリップフロップ回路FF2のリセット端子Rに供給される。

【0081】フリップフロップ回路FF1の出力Qは、無音フラグFLGとされ、インバータ回路N1を介してアンドゲート回路G1の制御信号とされる。このように無音マークが検出されると、直ちにゲート回路G1が閉じられて、正と負の最大値や続いて出力される時間情報

32

が音声信号として誤って出力されてしまうことを防止する。特に、上記のように正と負の最大値を無音マークとして用いる場合には、それがそのまま出力されると大きなパルス性のノイズが発生する。上記フリップフロップ回路FF1の無音フラグは、4段のD型フリップフロップDFFを通してフリップフロップ回路FF1のリセット信号として帰還される。これらのフリップフロップ回路DFFは、次に説明するように前記シフトレジスタSR1~SR4と同じデータシフトクロックにより無音フラグの伝達動作を行い、無音期間の終了とともに上記シフトレジスタSR1~SR4に保持されていた上記のような無音マークと時間情報からなる無音信号が掃き出される期間を検出する。これらのフリップフロップ回路DFFにより無音信号期間が終了したと判定されたならフリップフロップ回路FF1のリセットが行われる。

【0082】無音マークの検出によりフリップフロップ回路FF2がセットされると、インバータ回路N2を介して無音カウンタのリセット状態が解除される。無音カウンタは、このリセット状態の解除に応じて無音クロックSCLKの計数動作を開始する。通常の再生モードのときには、コンパレータCP2に供給されるN値が1に設定される。これにより、無音カウンタの計数値と無音信号に含まれる無音時間とが一致すると、コンパレータCP1により出力された一致信号を繰返カウンタが+1の計数をするので計数値が1となる。この結果、コンパレータCP2も同時に一致出力を形成するので、繰返カウンタ、フリップフロップ回路FF2のリセットが行われる。フリップフロップ回路FF2のリセットにより、アンドゲート回路G3、G4がゲートを開いてアドレスカウンタACを介したメモリ回路RAMの読み出しと、シフトレジスタSR1~SR4のシフト動作が再開される。このシフトレジスタSR1~SR4の動作と同期してフリップフロップ回路DFFも無音フラグFLGを順次伝達する。すなわち、シフトレジスタSR1~SR4に保持されていた無音信号が掃き出されるまでの間、フリップフロップ回路FF1をセット状態のままとし、それがデジタル/アナログ変換回路DACにより伝えられて音声ノイズとして出力されるのを禁止する。上記無音信号が掃き出されると同期してフリップフロップ回路FF1がリセットされる。これにより、実質的な無音期間が終了して最終段のシフトレジスタSR4から出力されるデジタル音声信号がアンドゲート回路G1を通してデジタル/アナログ変換回路DACに入力されて音声信号の再生が行われる。

【0083】遅聴きモードのときには、コンパレータCP2に供給されるN値が1以上の適当な整数値に設定される。例えば2に設定されると、無音カウンタの計数値と無音信号に含まれる無音時間とが2回したときに、コンパレータCP2が一致出力を形成して2倍に延長された無音期間を終了させる。上記Nを3に設定すれば、

無音期間を無音時間の3倍に拡大延長させることができる。

【0084】早聴きモードのときには、フリップフロップ回路FF2の動作が無効にされる。具体的には、フリップフロップ回路FF2のセット入力Sにアンドゲート回路等を介してマーク検出回路の出力信号が供給されるのを禁止させるようにすればよい。この場合には、アドレスカウンタACやシフトレジスタSR1~SR4には引き続きクロックが供給されるのでメモリ回路RAMの読み出し動作が継続的に行われる。ただし、マーク検出回路の検出出力によりフリップフロップ回路FF1がセットされるのでインバータ回路N1とアンドゲート回路G1とにより、上記無音信号が音声信号としてデジタル/アナログ変換回路DACに入力されるのが禁止される。すなわち、無音期間は上記音声情報を出力する極く短い期間のみとなり、実質的に無音時間を無くすることができる。この結果、前記同様な早聴きを行うことができる。

【0085】以上の早聴き及び/又は遅聴きモードを実現するデジタル信号処理回路は、前記のようなデジタル信号受け渡しシステムにおけるプレーヤに用いられるもの他、デジタル・オーディオ・テープ(DAT)等のようにデジタル音声信号をアナログ音声再生するデジタル信号処理回路を含む各種再生装置に広く利用できるものである。

【0086】図35には、この発明に係るデジタル/アナログ変換回路の一実施例のブロック図が示されている。同図のデジタル/アナログ変換回路は、特に制限されないが、前記デジタル信号受け渡しシステムに用いられるプレーヤに搭載される。デジタル/アナログ変換回路の公知技術として、前記公報(特開昭61-236222号)がある。このデジタル/アナログ変換回路では、所定の周波数のパルスをカウンタにより繰り返し計数し、このカウンタの出力信号と変換すべき入力デジタル信号とをデジタル的に比較して、入力デジタル信号の値に対応する幅を有するパルスを出力して、フィルタ回路によりパルス出力から高周波成分を除去してアナログ信号を形成するものである。

【0087】上記のデジタル/アナログ変換回路では、入力デジタル信号に対して1つのパルス幅に変換された出力信号を形成するものであるため、それをフィルタ回路で平滑すると、リップル成分が発生して音質のよいアナログ信号が得られないという問題がある。すなわち、アナログ信号の応答性(高域特性)を良くするためにはロウパスフィルタの時定数を小さくする必要があるが、このようにすると前記リップル成分が増大する。このリップル成分を少なくするためにフィルタ回路の時定数を大きくすると、入力信号変化に対する応答性が悪くなり高域特性が劣化する。また、カウンタとコンパレータとを必要とするものであるため、回路構成が複雑に

なる。

【0088】図35のデジタル/アナログ変換回路は、上記出力特性の改善に向けられている。この実施例のデジタル/アナログ変換回路では、出力信号に含まれるリップル成分を除去するために、次のような回路により構成される。入力デジタル信号Dinは、レジスタに取り込まれる。このレジスタの取り込まれた入力デジタル信号Dinは、コンパレータの一方の入力Aに供給される。カウンタは、基準時間信号としてのパルスを繰り返し計数する動作を行う。このカウンタのキャリー出力CARは、リピータカウンタに供給される。リピータカウンタは、指定された繰り返し計数値Jを計数するとキャリー出力CARを出力する。このキャリー出力CARは、コントローラCTLに入力されて、ここで変換終了信号EOCが出力される。

【0089】コントローラCTLは、入力デジタル信号Dinに同期したストロブを受けると、レジスタにセット信号Sを供給して入力デジタル信号Dinの取り込みを指示する。また、特に制限されないが、10MHzの基準時間パルスCKを受けて、上記レジスタへの入力デジタル信号Dinの取り込まれると、それをカウンタに供給して計数動作を開始させる。コンパレータは、レジスタに取り込まれた入力デジタル信号Dinが、カウンタに計数値Qより大きいとき(A>B)のとき、ハイレベルの出力信号を形成する。そして、データ線入力デジタル信号Dinに対してカウンタの計数出力Qが大きく(A<B)なると、ロウレベルの出力信号を形成する。この実施例では、リピータカウンタが設けられているので、従来のように直ちに次の入力デジタル信号に対応した出力パルスを形成するのではなく、上記1つの入力デジタル信号Dinに対応したパルス幅を持つパルスがリピータカウンタにより指定されたJ回繰り返し変換動作を終了する。

【0090】図36には、上記デジタル/アナログ変換回路の動作の一例の波形図が示されている。例えば、デジタル入力信号Dinが8ビットからなる場合、上記のように10MHzのクロックパルスCKの周期は0.1μsとなり、8ビットからなるカウンタを用いて計数することにより、1回りの周期が25.6μsになる。したがって、入力デジタル信号が十進法の1であるときには、最初の0.1μsの間だけハイレベルで、残り25.5μsの間がロウレベルのパルスが出力される。また、入力デジタル信号が十進法の10であるときには、最初の1μsの間だけハイレベルで、残り24.6μsの間がロウレベルのパルスが出力される。同様に、入力デジタル信号が十進法の100であるときには、最初の10μsの間だけハイレベルで、残り15.6μsの間がロウレベルのパルスが出力される。そして、入力デジタル信号が十進法の最大値である255であるときには、最初の25.5μsの間ハイレベルで、残り

0. $1\mu s$ だけがロウレベルのパルスが出力される。

【0091】同図には、繰返し回数 J が4の場合が示されている。上記のようなパルス幅に変換された出力信号は4回繰返し出力されると、1つの入力デジタル信号 D_{in} に対応した変換出力信号 E_{OC} が出力される。このように4回のリピートを行うと、1サンプリング期間、前記のプレーヤではメモリ回路 RAM から読み出されたデータをフェッチする周期内に、上記4回のパルス幅変調出力を形成するために変換時間としては $25.6 \times 4 = 102.4\mu s$ となり、約 $10KHz$ の変換周波数が可能になる。このことは、ニュースプログラムや会話及び講演等の再生に最適なものとなる。高音質の音楽プログラムの再生においては、上記クロックパルス CK の周波数を $20MHz$ にすれば、同じ4回のリピート回数のもとでの約 $20kHz$ までの高域周波数が再生できる。また、上記クロックパルス CK を $10Mz$ のままとして、リピート数を2回に減らせば、同様に $20kHz$ までの高域周波数が再生できる。このように、上記クロックパルス CK の周波数、リピート回数の組み合わせで入力デジタル信号のサンプリング周期に合わせるようにすればよい。なお、上記変換出力信号 E_{OC} を受けて再びストロープ STB に同期してデジタル信号を入力すると、それに対応したアナログ/デジタル変換動作が同様にして行われる。

【0092】上記のコンバータから出力されるパルス幅変調信号は、抵抗 R とキャパシタ C からなるロウパスフィルタにより平滑されてアナログ信号 D_{out} が出力される。この実施例では、上記のようにパルス幅変調されたパルスが複数個出力される。したがって、出力信号の高音質化のために抵抗 R とキャパシタ C との時定数を小さく設定して応答性を高くしてもリップル成分を最小に防ぐことができる。この実施例回路では、回路全体がデジタル回路により構成できるから、デジタル回路とアナログ回路を混在させた場合に比べて、プロセスが簡単で低消費電力の $CMOS$ 回路集積回路等により形成することができる。

【0093】図37には、この発明に係るデジタル/アナログ変換回路の他の一実施例のブロック図が示されている。この実施例のデジタル/アナログ変換回路は、回路の簡素化に向けられている。この実施例では、コンバータを省略してダウンカウンタとフリップフロップ回路 FF によりデジタル信号に対応したパルス幅変調信号を形成するものである。すなわち、ダウンカウンタには、ストロープに同期して入力デジタル信号 D_{in} がセットされる。また、上記ストロープによりフリップフロップ回路 FF がセットされる。これにより、フリップフロップ回路 FF の出力信号 Q がハイレベルに変化し、上記ストロープによりダウンカウンタがクロックの計数動作を開始する。ダウンカウンタは、計数値が0になるとボロー信号 BO を出力し、上記フリップフロップ

回路 FF をリセットさせる。このボロー信号 BO は変換終了信号として入力側に送られる。フリップフロップ回路 FF は、デジタル信号の計数開始とともにセットされ、そのデジタル信号に対応したクロックが計数されるとリセットされる。これにより、フリップフロップ回路 FF の出力信号 Q は入力デジタル信号に対応したパルス幅変調信号とされる。

【0094】この実施例のデジタル/アナログ変換回路の入力側に設けられる信号源は、前記メモリ回路 RAM のように一定のサンプリング周期に対応してデジタル信号とストロープを出力する。したがって、信号源側では上記変換終了信号 E_{OC} が送られてことをもって直ちに次のデジタル信号を送出するのではなく、そのことを1つの条件として、上記一定のサンプリング周期に同期してデジタル信号とストロープを送出する。これにより、フリップフロップ回路 FF のストロープに同期したセット動作と、ダウンカウンタのボロー出力 BO に同期したリセット動作により、一定周期の入力デジタル信号に対応したパルス幅変調信号を得ることができる。

【0095】例えば、デジタル入力信号 D_{in} が8ビットからなる場合、上記のように $10MHz$ のクロックパルス CK を用いるとその周期は $0.1\mu s$ となり、8ビットからなるダウンカウンタを用いてそれを計数することにより最大計数値が $25.5\mu s$ になる。したがって、入力デジタル信号が十進法の1であるときには、ガウンカウンタは1しか計数しないから最初の $0.1\mu s$ の間だけハイレベルで、次のストロープが入力されるまでの残り $25.5\mu s$ の間がロウレベルのパルスが出力される。また、入力デジタル信号が十進法の10であるときには、10を計数する間の最初の $1\mu s$ の間だけハイレベルで、次のストロープが入力されるまでの残り $24.6\mu s$ の間がロウレベルのパルスが出力される。同様に、入力デジタル信号が十進法の100であるときには、100を計数する間の $10\mu s$ の間だけハイレベルで、次のストロープが入力されるまでの残り $15.6\mu s$ の間がロウレベルのパルスが出力される。そして、入力デジタル信号が十進法の最大値である 255 であるときには、最大計数値に対応した $25.5\mu s$ の間ハイレベルで残り $0.1\mu s$ だけがロウレベルのパルスが出力される。このようなパルス幅変調信号は、前記のような抵抗 R とキャパシタ C のようなロウパスフィルタ LPF により平滑されてアナログ信号 V_{out} が形成される。なお、図35図の実施例のように1つの入力信号 D_{in} に対して複数のパルス幅変調信号を形成する場合には、入力側で1つの入力信号 D_{in} に対して前記の周期のストロープを複数回発生させればよい。

【0096】図38には、この発明に係るデジタル/アナログ変換回路の更に他の一実施例のブロック図が示されている。前記図37に示したデジタル/アナログ

37

変換回路では、入力側において一定の周期でデジタル信号とストローブを形成する必要があり、その用途が限られてしまう。この実施例では、アップカウンタを設けて出力されるパルス幅変調信号の周期を規定するものである。すなわち、アップカウンタの入力Dには0を供給し、ストローブに同期したカウンタロードパルスLDによりクリアされるとともに、ダウンカウンタでは上記カウンタロードパルスLDにより入力デジタル信号D_{in}が取り込まれる。上記ダウンカウンタとアップカウンタには、同じクロックCKが供給される。ダウンカウンタのボロー出力BOは、フリップフロップ回路FFの入力Kとインバータ回路N1を介してアンドゲート回路G1の一方の入力に供給される。フリップフロップ回路FFのクロック端子CKには上記クロックパルスが供給され、フリップフロップ回路FFの入力Jには、アンドゲート回路G1の出力信号が供給される。このアンドゲート回路G1の他方の入力には、コントローラCTLから発生されたセット信号が供給される。そして、上記カウンタのキャリー出力CARは、コントローラCTLに供給される。

【0097】コントローラCTLは、デジタル信号D_{in}と同期して入力されるストローブSTを受けると動作状態にされ、上記ダウンカウンタ及びアップカウンタのカンタロード信号LDとフリップフロップ回路のセット信号FRを出力する。また、コントローラCTLは、クロックCLKを受けてストローブが入力されるとダウン及びアップカウンタ等にクロックパルスを送出し、アップカウンタからのキャリー出力CARを受けると変換終了信号EOCを送出して待機状態になる。フリップフロップ回路FFは、クロックパルスの立ち上がりエッジに同期して動作し、そのとき入力JとKが00（ロウレベル、ロウレベル）なら保持状態になり、入力JとKが01（ロウレベル、ハイレベル）ならリセット状態になり、入力JとKが10（ハイレベル、ロウレベル）ならセット状態になり、入力JとKが11（ハイレベル、ハイレベル）なら反転動作を行う。

【0098】次に、上記デジタル／アナログ変換動作の詳細に説明する。初期状態では全てのカウンタ及びフリップフロップ回路FFはリセット状態である。コントローラCTLのストローブ入力端子STに変換開始信号が入力されると、それに応答してコントローラCTLは、変換終了信号端子EOCからの出力信号を論理1にして変換中であることを宣言する。コントローラCTLは、カウンタロード信号LDを出力して、クロックCKの立ち上がりに同期してダウンカウンタには入力デジタル信号をロードさせ、アップカウンタには0をロードさせる。ダウンカウンタ及びアップカウンタは、上記ロードの終了とともにクロックの計数動作を開始する。コントローラCTLは、上記カウンタロード信号LDよりカウンタクロックの1/2周期遅れて、フリップフロ

38

ブ回路FFのセット信号FRを出力する。フリップフロップ回路FFは、ダウンカウンタのボロー出力BOが論理0であるから入力Jが1に入力Kが0となって、クロックの立ち上がりに同期してセット状態にされる。

【0099】ダウンカウンタは、クロックの到来毎にダウン計数動作（-1）を行い計数値が0になると、ボロー信号BOを出力する。この結果、ボロー信号BOの論理1への変化により、フリップフロップ回路FFの入力Jが0に入力Kが1に変化する。この結果、フリップフロップ回路FFは、クロックパルスの立ち上がりに同期してリセットされる。なお、入力デジタル信号D_{in}が十進法で0のときには、ダウンカウンタのボロー出力BOと、コントローラCTLのセット信号FRとが同じタイミングで出力されることになる。この実施例では、ダウンカウンタのボロー出力BOを優先させるためにアンドゲート回路G1が設けられており、このゲート回路G1によりコントローラCTLからのフリップフロップ回路FFのセット信号FRが禁止される。このように、デジタル信号D_{in}が十進法で0であるときにはフリップフロップ回路FFからパルスが出力されない。デジタル信号D_{in}が1以上であるときには、フリップフロップ回路FFの出力Qからそれぞれに対応したパルス幅を持つパルスが出力される。このようにパルス幅変調された出力信号はロウパスフィルタLPFにより平滑されてアナログ信号V_{out}が形成される。

【0100】アップカウンタは、計数動作を継続して最大値になるとキャリー信号CARを出力する。コントローラCTLは、上記キャリー信号CARを受けると、変換終了信号EOCを論理0に変化させて一連の変換動作を終了する。この変換動作終了を持って次のデジタル信号が入力される。すなわち、上記のようなアップカウンタ回路を設けた場合には、デジタル／アナログ変換動作に従って、その変換終了信号により、アドレス信号を生成して次の入力デジタル信号を読み出すようにすることもできる。上記のように、入力デジタル信号D_{in}とストローブが入力されると、以上の動作を繰り返して入力デジタル信号D_{in}に対応したアナログ信号V_{out}を形成する。コントローラCTLは、上記変換動作中は変換終了信号EOCをハイレベルにして外部に知らせ、これを無視したストローブには何も応答しないで、変換動作を継続する。なお、アナログ変換出力V_{out}に含まれるリップル成分を軽減する場合には、1つのストローブのような変換開始信号に対して、リピートカウンタ等を設けて上記のようなデジタル／アナログ変換動作を指定回数だけ繰り返すようにすればよい。このリピート中にデジタル信号D_{in}の入力が保証されていない場合には、前記同様にレジスタを設けて入力デジタル信号を取り込むようにすればよい。以上図35～図38を用いて説明した実施例は、デジタル／アナログ変換回路の他、デジタル信号からパルス幅変調信号に変換

する信号変換回路として広く利用できる。

【0101】図39には、前記デジタル信号受け渡しシステムに用いられるプレーヤのスイッチ入力回路の一実施例の基本的ブロック図が示されている。前記のようにプレーヤは、ICメモリカード等と互換性をもつように小型で薄型にされる。それ故、動作モードを指示するスイッチ類を減らすことが重要とされる。そこで、この実施例では、1つのキースイッチ1のオン/オフ信号を受ける動作状態制御回路2により、動作状態1～動作状態nを指定する信号3-1～3-nを形成するものである。このようにすることにより、上記のような小型でかつ薄型のプレーヤの限られたスペースに操作スイッチ1の実装を可能にするものである。

【0102】図40には、動作状態制御回路の具体的構成の一実施例を説明するためのブロック図が示されている。この実施例では、スイッチ1のオン時間Tが動作状態制御回路2により判定される。動作状態制御回路2は、スイッチ1のオン時間Tに対しては無条件で単にスイッチがオン状態にされれば状態Aにする信号13-1を形成する。動作状態制御回路2は、スイッチ1のオン時間Tが予め決められて一定時間Mより小さい($M > T$)と判定したなら状態Bにする信号13-2を形成する。そして、動作状態制御回路2は、スイッチ1のオン時間Tが予め決められた一定時間Mより大きい($M \leq T$)と判定したなら状態Cにする信号13-3を形成する。上記のような3つの状態A～Cを示す信号13-1～13-3の組み合わせにより、次のような再生制御動作が実現できる。

【0103】図41には、その動作モードを説明するための概念図が示されている。プレーヤは電源投入直後には停止状態4にされる。この状態4において、スイッチをオン状態にすると、そのオン時間Tに対しては無条件の状態Aを示す信号1aが形成されてプレーヤは再生状態5になる。この再生状態5では、一時停止状態6に変化させるか、それとももとの停止状態4に戻すか2通りの選択が必要になる。そこで、再びスイッチをオン状態にすると、上記のような状態Aを示す信号1bが形成されて時間判定7に入り、そのときにオン状態にされた時間Tの判定が行われる。もしも、この判定結果が状態Bを示す信号1cならプレーヤは一時停止状態6にされる。あるいは、上記判定結果が状態Cを示す信号1eならプレーヤはもとの停止状態4に戻る。上記一時停止状態6においては、再び再生状態4に戻すことしか意味を持たないから、スイッチのオン状態にするだけで、上記のような状態Aを示す信号1dにより再生状態5に戻す。

【0104】1つのスイッチにより、複数種類の動作を指示する場合には、その操作方法が複雑になる欠点がある。そこで、この実施例では、その操作方法の習得を容易にするために、図39に示した停止状態4、再生状態

5及び一時停止状態6に対応して発光ダイオード等や液晶表示素子を設けて、現在の状態に応じて点灯させ、それと同図のような矢印とを組み合わせることにより、状態A～状態Cの入力によりどのような状態に変化させることができるかを表示させる。この表示動作は、表示装置として発光ダイオードを用いる場合、低消費電力化を図るためにスイッチ操作を行う一定時間だけ行わせるようにすればよい。

【0105】図42には、動作状態制御回路の具体的構成を説明した他の一実施例のブロック図が示されている。この実施例では、前記のようなスイッチ1のオン時間Tに代えてスイッチ1のオン回数が動作状態制御回路2により判定される。動作状態制御回路2は、スイッチ1のオン回数を計数して1回なら状態Aにする信号23-1を形成する。動作状態制御回路2は、スイッチ1のオン回数が2回なら状態Bにする信号13-2を形成する。このような2つの状態AとBを示す信号23-1と23-2の組み合わせにより、次のような再生制御動作が実現できる。

【0106】図43には、その動作モードを説明するための概念図が示されている。プレーヤは電源投入直後には前記同様に停止状態4にされる。この状態4において、スイッチを1回だけオン状態にすると、状態Aを示す信号2aが形成されてプレーヤは再生状態5になる。この再生状態5では、一時停止状態6に変化させるか、それとももとの停止状態4に戻すか2通りの選択が必要になる。そこで、再びスイッチを1回だけオン状態にすると、上記のような状態Aを示す信号2bが形成されてプレーヤは一時停止状態6にされる。あるいは、上記スイッチを2回オン状態にすると、状態Bを示す信号2eが形成されてプレーヤはもとの停止状態4に戻る。この実施例では、上記一時停止状態6から再び再生状態4に戻すこと他、もとの停止状態4にも選択的に変化させるようにする。このため、一時停止状態6においてスイッチを1回だけオン状態にすると状態Aを示す信号2cが形成されてプレーヤは再生状態5に変化する。上記一時停止状態6においてスイッチを2回にわたってオン状態にすると、状態Bを示す信号2dが形成されてプレーヤは停止状態4に変化する。この実施例でも、前記同様に図41に対応して表示素子及び矢印を描くことにより、操作の習得を容易にする。

【0107】図44には、プレーヤのメモリ回路RAMの記憶領域管理方式の一実施例の概念図が示されている。プレーヤに搭載されたメモリ回路RAMの記憶容量を複数種類の情報に対して効率よく利用するために、RAMは目次領域とデータ領域に分けられる。目次領域は、特に制限されないが、4つの目次PA0～PA3を持ち、それぞれにはブロックアドレスBA0～BA3が格納可能にされる。上記目次PA0～PA3は、プログラムセレクト信号PSL1、PSL2等により選択され

て、そのブロックアドレスBA0、BA1等の書き込みや読み出しが可能にされる。例えば、前記のようなデジタル信号受け渡しシステムにおいて、プレーヤがサーバに接続されると、サーバは目次領域をアクセスして有効にされているブロックアドレスの読み出しを行う。これにより、サーバはプレーヤにおけるメモリ回路RAMの空き領域を知ることができる。そして、新たに受け渡されるデジタル信号が指定されると、空きの目次にブロックアドレスを記憶させるとともに空き領域にデジタル信号を記憶させる。

【0108】もしも、目次が不足したり、受け渡されるデジタル信号に対して空きの記憶容量が不足するなら、その旨を表示して消去してよい格納済のデジタル信号を選択させ、それを消去して新しいデジタル信号の入力を行う。このとき、プレーヤに記憶されている格納済のデジタル信号も読み出して、新しいデジタル信号の記憶容量に合わせて記憶容量に空きがないようアドレス割り当てが改めて行われる。

【0109】同図においては、プログラムセレクト信号PSL1により目次PA0をアクセスして、そこに格納されているブロックアドレスBA0を読み出してアドレスカウンタにセットさせる。例えば、同図の実線のようにアドレスカウンタにセットされたブロックアドレスBA0がデータ領域の先頭アドレスのデータブロックであると、そのブロックの先頭のIDコードが格納されたアドレスから順に読み出しを開始する。そして、特に制限されないが、データの最終アドレスにはエンドマークENDが格納されており、このエンドマークENDの検出により読み出しを終了させる。この構成では、目次には先頭アドレスのみを記憶させればよいからアドレス情報を減らすことができる。

【0110】また、プログラムセレクト信号PSL2により目次PA2をアクセスして、そこに格納されているブロックアドレスBA2を読み出してアドレスカウンタにセットさせる。例えば、同図の点線のようにアドレスカウンタにセットされたブロックアドレスが中間ブロックなら、そのブロックの先頭のIDコードが格納されたアドレスから順に読み出しを開始する。そして、上記同様にデータの最終アドレスにはエンドマークENDが格納されており、このエンドマークENDの検出により読み出しを終了させる。

【0111】例えば、目次PA1に対応したデジタル信号の消去等により上記のように2種類のプログラムが格納されたデータブロックの間に空きができると、サーバは目次PA2のブロックアドレスBA2を目次PA0に対応したデータ領域のエンドマークENDのアドレスにブロックアドレスBA2を変更するとともに、それに対応したデジタル信号を書き込む。このようにすることによって、新たに受け渡されるプログラムに対応したデジタル信号を残りの空きエリアを連続して使用する

ことができる。なお、プレーヤをサーバに接続すると、原則して目次領域及びデータ領域がクリアされて新しいデジタル信号が格納されるようにしてもよい。この場合、残したいプログラムは、プレーヤ側において消去禁止を指定するか、サーバ側とのデジタル信号の受け渡し操作の中で消去禁止プログラムを指定するものであってもよい。

【0112】図45には、プレーヤのメモリ回路RAMの記憶領域管理方式の他の一実施例の概念図が示されている。この実施例では、目次メモリとデータメモリとによりデジタル信号の記憶管理を行うようにするものである。目次メモリは、目次1ないし目次4のように最大4種類のデジタル信号(プログラム)までの格納を可能にするものである。目次メモリには、前記実施例のように単に先頭アドレスを記憶させるもの他、終了アドレスやIDコードの他に、目次情報も記憶させる。この目次情報は、特に制限されないが、文字情報からなり、プレーヤに液晶表示装置を設けてプログラムの内容を文字によって表示可能にするものである。目次メモリの各目次と、データメモリのデータエリアは、記憶順序等によりデータメモリの先頭アドレス側からデータ2、データ1、データ4及びデータ3のように任意に行われる。すなわち、先に指定した順にデータメモリに対してデジタル信号が記憶される。

【0113】図46には、上記目次機能を付加した場合のプレーヤの一実施例の要部ブロック図が示されている。コントローラCTLには、前記のような動作制御用のスイッチSW2の他に、目次指定(プログラム指定)用のスイッチSW1が設けられる。特に制限されないが、このスイッチSW1をオン状態にすると、目次AC(アドレスカウンタ)に+1のパルスが供給されて目次メモリのアクセスが行われる。目次メモリから読み出された目次情報は、目次レジスタに格納されてLCDによりタイトル等の文字表示が行われる。

【0114】目次メモリから読み出された先頭アドレスは、データメモリのアドレスカウンタACにセットされ、終了アドレスとIDコードはレジスタREGにそれぞれロードされる。IDコードは、コントローラCTLに伝えられ、それが解読されて前記サンプリング周波数、データ長、ステレオ/モノラル再生等の自動設定が行われる。上記アドレスカウンタACにより出力されるアドレス信号は、データメモリのアクセスに用いられること他、コンパレータCPにも供給される。このコンパレータCPの他方の入力には、上記レジスタREGにロードされた最終アドレスが伝えられる。これにより、上記指定された目次に対応したデジタル信号(データ)の読み出しが終了すると、コンパレータCPがこれを検出してコントローラCTLに終了信号を入力するので、一連のデジタル信号の読み出し動作が終了することになる。

【0115】以上の目次機能において、目次の数は4の他、任意であるが2のN乗個にすると2進のアドレスカウンタがそのまま利用できるので選択が容易になる。また、目次メモリをデータメモリとは別に設けた場合には、それぞれを独立して並行にアクセスすることができるからアドレスカウンタの制御が簡単になる。なお、上記の目次メモリは、前記図44の実施例のようにデータメモリの一定の記憶領域を利用して構成するものであってもよいことはいうまでもない。

【0116】以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) デジタル信号の受け渡しにおいてデジタル信号供給源と一対一に対応して端末装置としてのプレーヤを電気的に接続し、特定されたデジタル信号を電気信号の形態で受け取り記憶回路に記憶させるとともにプレーヤ単独で記憶させたデジタル信号の再生を行う。この構成では、プレーヤは、デジタル信号を電気信号の形態で受け取り、単独でそれを再生するものであるため受け渡されたデジタル信号の価値をそのままで発揮させることができるという効果が得られる。

(2) 上記(1)により、商品等として受け渡されるデジタル信号は、電気信号の形態のままでよいからその加工、製造や販売システムの構築が容易に行えるという効果が得られる。

(3) 上記(1)により、受け渡されたデジタル信号をそのものに商品等としての価値を認めてそれを単に再生するだけの単純化された機能をプレーヤが持つものであるため、プレーヤの構成が簡単でかつ操作も易しいから誰にでも扱えるという効果が得られる。

(4) デジタル信号の供給元から必要に応じてデジタル信号を通信回線又は適当な記憶媒体を介して受け取り記憶する端末装置を設け、これにプレーヤとコネクタを介して電気的に接続されて特定されたデジタル信号の受け渡しを行うことにより、商品等としてのデジタル信号の販売システムを高速にかつ合理的に行うことができるという効果が得られる。

【0117】(5) 端末装置として、比較的大きな記憶容量を持つ磁気ディスクメモリ装置をバックアップメモリとして用い、受け渡し量の多いデジタル信号又は時間の経過とともに更新されるデジタル信号は高速アクセスが可能な半導体メモリにより構成されるバッファメモリに記憶させることにより、効率のよいデジタル信号の受け渡しが可能であるという効果が得られる。

(6) 端末装置として、マイクロコンピュータ機能を持たせて上記磁気ディスクメモリやバッファメモリの管理及び通信回線を介した供給元とのデジタル信号の授受を行うこと、他、プレーヤ内の記憶回路の記憶エリアの管理をも行うことにより、プレーヤの簡素化と記憶回路の有効利用が可能になるという効果が得られる。

(7) 端末装置として、デジタル信号の一部部分を

一定時間に限ってモニター可能な機能を付加することにより、目的のデジタル信号の選択ミスを防いだり、目的のデジタル信号の選択を容易にできるという効果が得られる。

(8) 受け渡されるデジタル信号をデジタル音声信号として、音声情報に限定することにより、プレーヤでの機能を記憶と再生のように単純化できるという効果が得られる。

【0118】(9) 受け渡されるデジタル信号にIDコードを付加してプレーヤにおける再生条件を自動指定することにより、情報プログラムに対応した多様なデジタル信号の受け渡しを行うとともに、その使い勝手を良くすることができるという効果が得られる。

(10) プレーヤ本体からカード状のメモリ部を着脱可能にすることにより、メモリ回路として各種RAMやEEPROMあるいはROMを利用でき、機能の多様化が図られるという効果が得られる。

(11) プレーヤの外部形状及びコネクタが既存のメモリカードと互換性を持つようにし、内部の記憶回路を既存のメモリカードと同等に使用可能にできるという効果が得られる。

(12) 上記(10)及び(11)により、プレーヤの多機能化や用途の拡大を図ることができるという効果が得られる。

(13) プレーヤにパスワード又はパスワードの一致検出信号に従い記憶回路の入力及び/又は出力動作に機密保護機能を付加することにより、安易なコピーや、盗聴等を防止できるから受け渡されるデジタル信号の商品価値を高くすることができるという効果が得られる。

(14) プレーヤのメモリ部の一部として薄いカード状のメモリ装置を着脱可能にすることにより、必要に応じて記憶容量の拡張や、各種ROMにより構成されたプログラムの再生も可能になるから多様な機能が実現できるという効果が得られる。

【0119】(15) 上記機密保護方式として、デジタル信号の記憶回路のデータ入力及び/又はデータ出力、あるいはアドレス入力部の少なくとも1ビットのデジタル信号を反転させ、あるいは他のビットと入替えを行う構成を採ることにより、簡単な構成により機密保護ができるという効果が得られる。

(16) プレーヤに複数のデジタル信号に対応した格納アドレスを含む目次情報を記憶する記憶領域又は目次メモリと、上記格納アドレスによりアクセスされるデータ領域又はデータメモリとを設けることにより、複数種類の情報としてのデジタル信号を効率よく記憶回路に格納させることができるという効果が得られる。

(17) 上記プレーヤの動作制御を1つのキースイッチのオン時間又はオン回数の組み合わせにより複数種類からなる動作モードの指定を行うようにすることにより、プレーヤの小型及び薄型化が実現できるという効果が得

られる。

【0120】(18) デジタル化された音声信号の無音期間を検出し、その無音期間において、デジタル／アナログ変換回路に入力されるデジタル信号を強制的に交流的な0レベルに対応した信号に置き換えることにより、無音期間の耳ざわりな量子化雑音を除去することができるという効果が得られる。

(19) 無音期間の検出を調整可能にされた正負両極性のそれぞれ無音と見做すレベルに対応したデジタル信号と、再生されるデジタル信号との大小比較を行う一対のコンパレータの出力信号に基づいて形成することにより、デジタル信号のプログラムの内容に応じて正確な無音期間の検出を行うことができるという効果が得られる。

(20) デジタル化された音声信号の無音期間を検出して、その間を拡大延長させることにより、高音質を維持しつつ遅延が可能になるという効果が得られる。

(21) デジタル信号が格納されたメモリ回路のアドレス更新動作を通常動作に比べて実質的に遅する簡単な構成により、高音質を維持したままの遅延が実現できるという効果が得られる。

【0121】(22) デジタル化された音声信号の無音期間を検出し、その間を短縮することにより、高音質を維持しつつ早延が可能になるという効果が得られる。

(23) デジタル信号が格納されたメモリ回路のアドレス更新動作を通常動作に比べて速くするという簡単な構成により、高音質を維持したままの早延が実現できるという効果が得られる。

(24) デジタル信号の無音期間を無音コード情報と無音時間情報とに置き換えることによってデータ圧縮が可能になるとともに、その時間情報に対応した無音時間を作り出すこと、簡単な回路の追加によって上記時間情報を拡大して無音時間を長くして再生したり又はそれを無視して再生することにより、遅延又は早延を行うことができるという効果が得られる。

(25) 無音コードとしてほぼ正の最大値とほぼ負の最大値に対応した少なくとも2つの連続したデジタル信号を組み合わせることで、デジタル音声信号と無音コードとの識別が容易に行えるという効果が得られる。

(26) 最大無音時間を設定し、遅延動作に伴い拡大された無音期間が上記最大無音時間を超ないように制限する機能を設けることにより、遅延モードでの再生に要する無駄時間を無くすることができるという効果が得られる。

【0122】(27) デジタル入力信号を記憶回路に記憶させ、基準時間パルスを受けデジタル入力信号の最大値に対応した計数動作を行うカウンタ回路の出力と上記記憶されたデジタル信号とをコンパレータ比較

してパルス幅変調信号を形成する動作をリピータカウンタにより複数回に繰り返させることにより、高音質のアナログ信号を得ることができるという効果が得られる。

(28) デジタル信号の最大値に対応した一定の周期により供給されるデジタル信号をダウンカウンタに入力して、基準時間パルスを形成させるという簡単な回路により、上記デジタル信号に対応したパルス幅変調信号を得ることができるという効果が得られる。

(29) 上記デジタル信号の最大値に対応した一定の周期を、上記基準時間パルスを受けてデジタル入力信号に対応した計数動作を行うアップカウンタ回路により形成することにより、簡単な構成でアドレス変換動作に対応したデジタル信号を入力させることができるという効果が得られる。

【0123】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、デジタル信号受け渡しシステムでは、デジタル信号を1つの商品として販売するもの他、証券会社や金融保険会社等のサービスの1つ等として、プレーヤを指示する特定の者に対して無償により提供されるものであってもよい。あるいは、デジタル信号の全体を一括契約により、定期的にあるいは任意に必要な情報の受け渡しに利用されるものであってもよい。また、デジタル信号は、語学学習や各種受験用の暗記に必要なデータ等のように音声信号により伝達可能なものであれば何であってよい。更には、上記のようなデジタル信号受け渡しシステムにより、活字を用いた従来の新聞、週刊誌等に代えて、デジタル音声信号を用いて各種情報、娯楽を提供するといったようなタイムーで極めて効率のよい近未来的なメディアを構築することも可能である。

【0124】プレーヤには、拡張用のROMカード又はRAMカードが接続可能なコネクタを設ける構成としてもよい。この場合、プレーヤ自体の厚みが厚くなるのを防ぐために、上記ROMカードやRAMカードは、メモリチップが内蔵された薄いプラスチックカード等から構成されることが望ましい。ROMカードは、音楽プログラムや語学学習等に便利なものとなる。上記RAMカードは、メモリ容量の拡張に有効な手段となる。例えば、演奏時間の長い音楽プログラム等を受け取るときに上記RAMカードが有効となる。

【0125】デジタル信号受け渡しシステムに用いられる端末装置、プレーヤの構成、機能等は種々の実施形態を採ることができるものである。プレーヤに内蔵されるメモリは、前記疑似スタティック型RAMの他、スタティック型RAMを用いるものや、ダイナミック型RAMと自動リフレッシュ回路から構成したもの、さらには記憶保持のために電池が不要なフラッシュメモリ(EEPROM)や各種ROM等でもよいし、交換可能な小

型で薄型の光ディスクメモリを用いるものであってもよい。デジタル信号は、前記のような音声信号の他に、文字情報や画像情報あるいは音声信号と文字又は画像情報とが組み合わせたものであってもよい。このように文字情報や音声情報を再生するためには表示装置が必要になる。表示装置としては、特に制限されないが、薄型で小型軽量化が可能な液晶表示装置を用いるようにすればよい。

【0126】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、デジタル信号の受け渡しにおいてデジタル信号供給源と一対一に対応して端末装置としてのプレーヤを電気的に接続し、特定されたデジタル信号を電気信号の形態で受け取り記憶回路に記憶させるとともにプレーヤ単独で記憶させたデジタル信号の再生を行う。このシステムでは、プレーヤがデジタル信号を電気信号の形態のままで受け取り、単独で再生するものである。受け渡されたデジタル信号の価値をそのままで発揮させることができる。そして、受け渡しはデジタル信号の形態のままでよいからその加工、製造や販売システムの構築が容易に行えるとともに、プレーヤの構成が簡単でかつ操作も易しいから誰にでも扱えるものとなる。また、デジタル化された音声信号の無音期間を検出し、その無音期間を拡大させり短縮させることにより、高音質を維持しつつ遅延再生や早聴き再生が実現できる。また、デジタル入力信号に対応したパルス幅の信号を、1回の信号変換期間において複数回繰り返して行うようにすることにより、平滑したときのリップルを大幅に減少できるから高品質のアナログ信号を得ることができる。

【図面の簡単な説明】

【図1】この発明に係るデジタル信号受け渡しシステムの一実施例を示す要部ブロック図である。

【図2】図1の端末装置の入力部のブロック図である。

【図3】図1の端末装置の記憶部のブロック図である。

【図4】図1の端末装置の出力部のブロック図である。

【図5】この発明に係るデジタル信号受け渡しシステムに用いられるプレーヤの一実施例を示すブロック図である。

【図6】上記プレーヤを構成する実装基板の一実施例を示す平面図である。

【図7】ケースに治められる状態の実装基板の一実施例を示す側面図である。

【図8】プレーヤの他の一実施例を示す平面図である。

【図9】図8のプレーヤ本体とメモリ部の一実施例を示すブロック図である。

【図10】プレーヤの電源供給方式の一実施例を示すブロック図である。

【図11】端末装置からプレーヤに転送されるディジ

タル信号の一実施例の示す構成図である。

【図12】図11のIDコードが挿入されるデジタル信号に対応したプレーヤの一実施例を示すブロック図である。

【図13】この発明に係る量子化雑音除去回路の一実施例を示す回路図である。

【図14】図13の量子化雑音除去回路の動作の一例を説明するための波形図である。

【図15】この発明に係るデジタル信号販売システムに用いられる機密保護回路の一実施例を示す回路図である。

【図16】この発明に係るデジタル信号販売システムに用いられる機密保護回路の他の一実施例を示す回路図である。

【図17】この発明に係るデジタル信号販売システムに用いられる機密保護回路の他の一実施例を示す回路図である。

【図18】この発明に係るデジタル信号販売システムに用いられる機密保護回路の他の一実施例を示す回路図である。

【図19】この発明に係るデジタル信号販売システムに用いられる機密保護回路の更に他の一実施例を示す回路図である。

【図20】図19の機密保護回路に用いられる並べ変え回路の一実施例を示す具体的回路図である。

【図21】この発明に係る早聴きと遅聴き再生を実現したデジタル音声信号処理回路の一実施例を示すブロック図である。

【図22】この発明に係る早聴き回路の具体的一実施例を示すブロック図である。

【図23】この発明に係る遅聴き回路の具体的一実施例を示すブロック図である。

【図24】図22の早聴き回路に対応した動作波形図である。

【図25】図23の遅聴き回路に対応した動作波形図である。

【図26】この発明に係る早聴き回路の他の一実施例を示すブロック図である。

【図27】この発明に係る遅聴き回路の他の一実施例を示すブロック図である。

【図28】この発明に係る遅聴き回路の具体的他の一実施例を示すブロック図である。

【図29】図28に示した遅聴き回路の動作の一例を説明するための動作概念図である。

【図30】図28に示した遅聴き回路の動作の他の一例を説明するための動作概念図である。

【図31】図28に示した遅聴き回路の動作の更に他の一例を説明するための動作概念図である。

【図32】この発明に係る早聴きと遅聴き動作の他の一実施例を説明するための波形図である。

【図33】図32の無音信号MKの一実施例を示すビットパターン図である。

【図34】データ圧縮が行われたデジタル信号に対する早聴き/遅聴きモードを含むデジタル信号再生回路の一実施例を示すブロック図である。

【図35】この発明に係るデジタル/アナログ変換回路の一実施例を示すブロック図である。

【図36】図35のデジタル/アナログ変換回路の動作の一例を示す波形図である。

【図37】この発明に係るデジタル/アナログ変換回路の他の一実施例を示すブロック図である。

【図38】この発明に係るデジタル/アナログ変換回路の更に他の一実施例を示すブロック図である。

【図39】デジタル信号受け渡しシステムに用いられるプレーヤのスイッチ入力回路の一実施例を示す基本的ブロック図である。

【図40】動作状態制御回路の具体的構成の一実施例を示すブロック図である。

【図41】図40の実施例の動作モードを説明するための概念図である。

【図42】動作状態制御回路の具体的構成の他の一実施例を示すブロック図である。

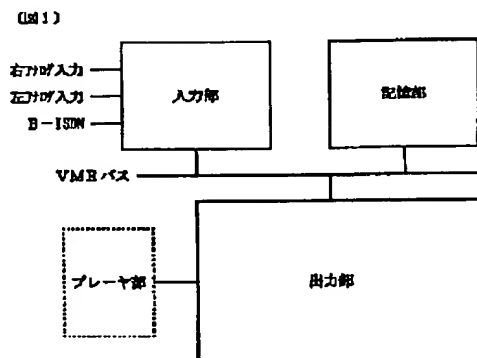
【図43】図42の実施例の動作モードを説明するための概念図である。

【図44】プレーヤに内蔵されるメモリ回路RAMの記憶領域管理方式の一実施例の概念図である。

【図45】プレーヤに内蔵されるメモリ回路RAMの記憶領域管理方式の他の一実施例の概念図である。

【図46】図45の目次機能を付加した場合のプレーヤの一実施例を示す要部ブロック図である。

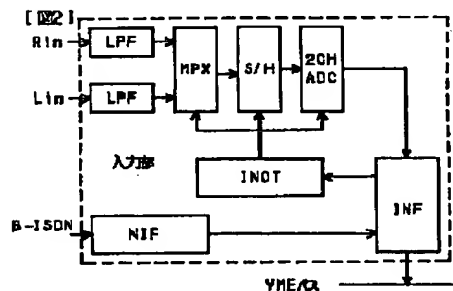
【図1】



【符号の説明】

L P F…ローパスフィルタ、M P X…マルチプレクサ、S/H…サンプル&ホールド回路、A D C…アナログ/デジタル変換回路、I N C T…入力部コントローラ、N I F…ネットワークインターフェイス、C P U…マイクロプロセッサ、R O M…リード・オンリー・メモリ、R A M…ランダム・アクセス・メモリ (メモリ回路)、H D D C…ハードディスクコントローラ、L C D C…L C Dコントローラ、V M E I N F…VMEバスインターフェイス、H D D…ハードディスクメモリ、L C D…液晶表示装置、O U T I N F…出力インターフェイス、P C T L…プレーヤ制御回路、B M…バッファメモリ、M O C T L…モニターコントロール回路、M O N T…モニター回路、P/S…パラレル/シリアル変換回路、A C…アドレスカウンタ、C T L…コントローラ、L S I…大規模集積回路 (ゲートアレイ)、D A C…デジタル/アナログ変換回路、A M P、A M P 1、A M P 2…増幅回路、B A T…電源回路、S 2～S 3…電源スイッチ、E 1～E 3…電池、S E L…セクタ、R E G…レジスタ、O S C…発振回路、C P G…クロック発生回路、C P、C P 1～C P 3…コンパレータ、E O R…排他的論理和回路、G、G 1～G 4…ゲート回路、N、N 1～N 3…インバータ回路、A U…加算回路、M U…乗算回路、F F、F F 1～F F 2…フリップフロップ回路、M K…無音信号、S R 1～S R 4…シフトレジスタ、D F F…D型フリップフロップ回路、1…キースイッチ、2…動作状態制御回路、3…信号 (動作状態)、4…停止状態、5…再生状態、6…一時停止状態、7…時間判定状態。

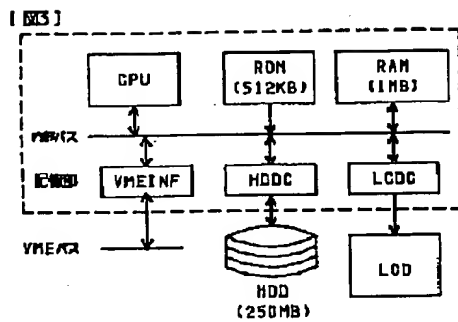
【図2】



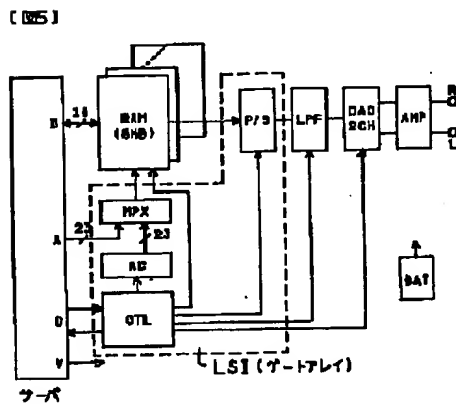
【図7】



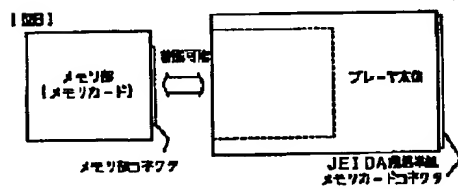
【例 3】



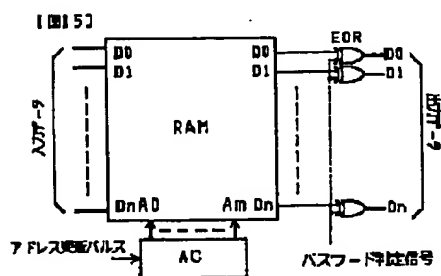
【图 5】



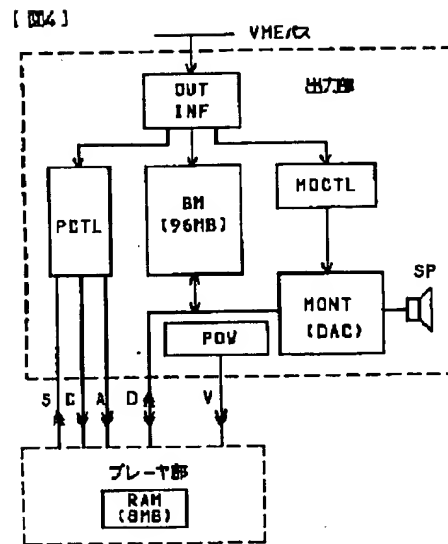
【图 8】



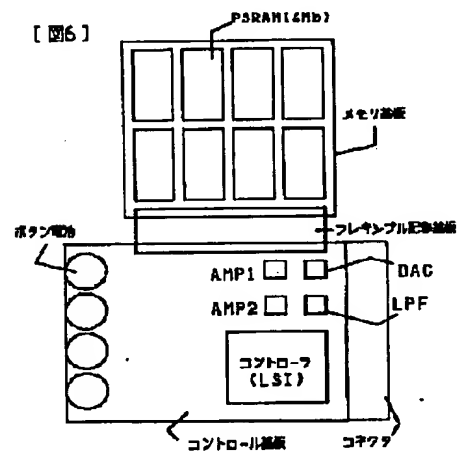
【例 15】



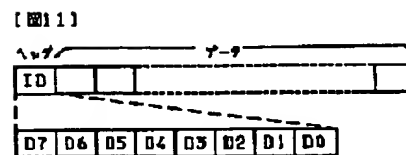
【図4】



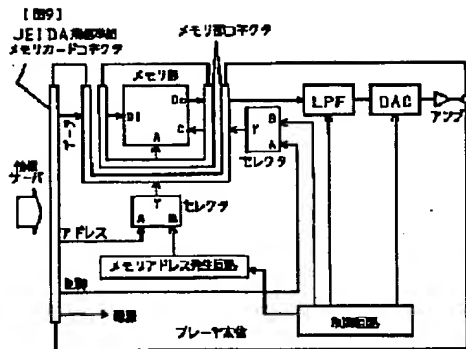
【图6】



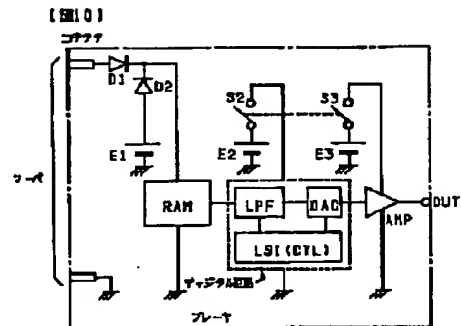
【 1 1】



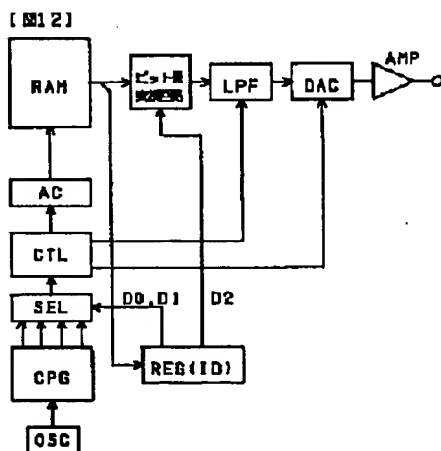
【図9】



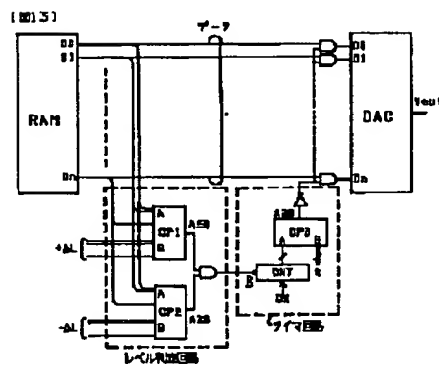
【図10】



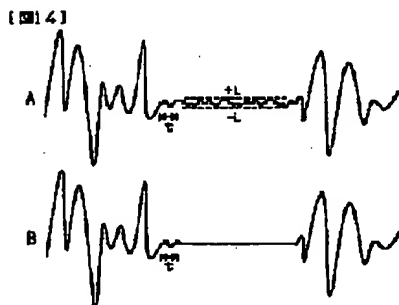
【図12】



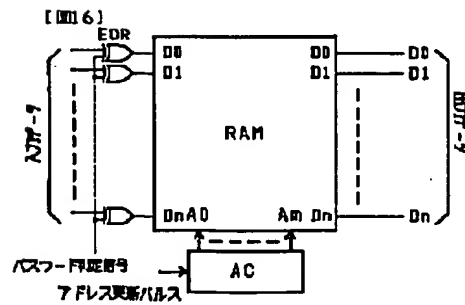
【図13】



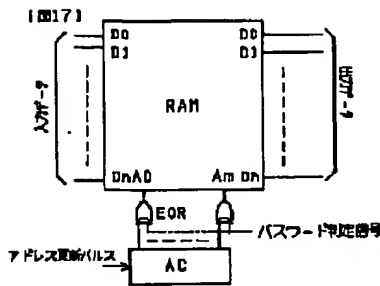
【図14】



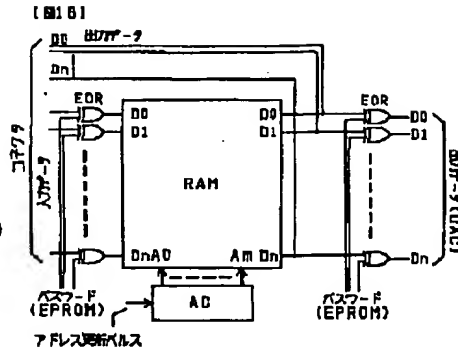
【図16】



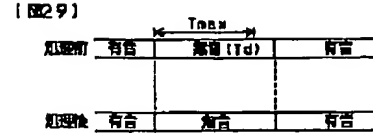
【図17】



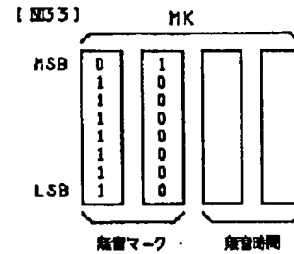
【図18】



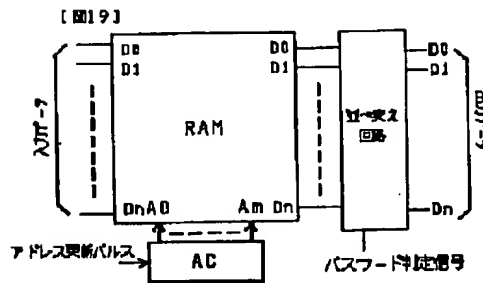
【図29】



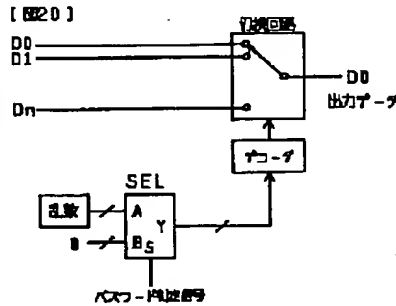
【図33】



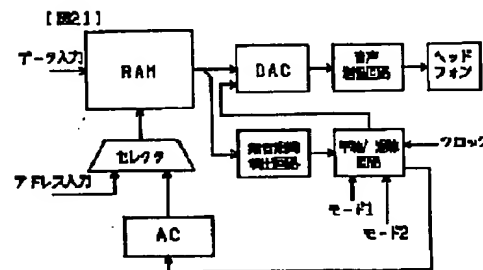
【図19】



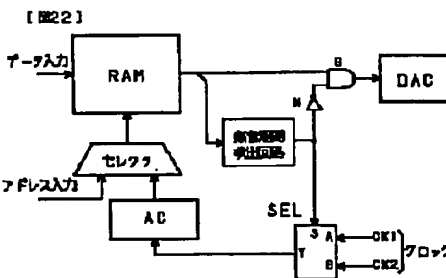
【図20】



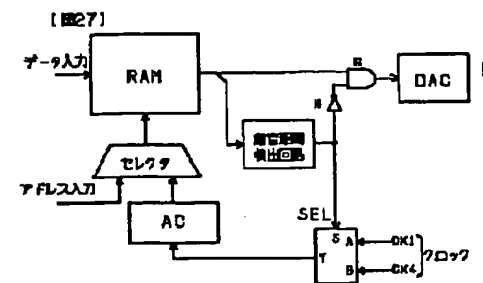
【図21】



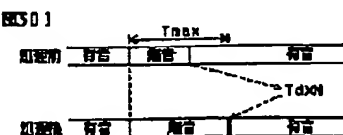
【図22】



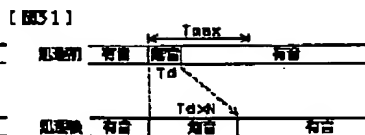
【図27】



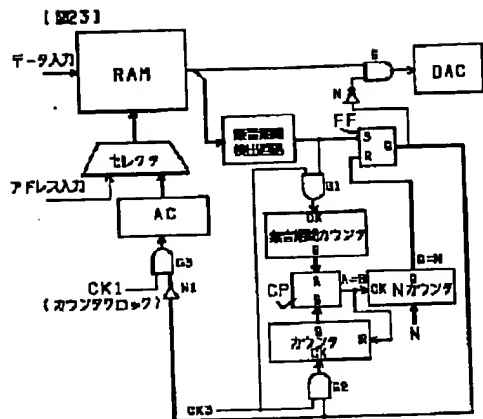
【図30】



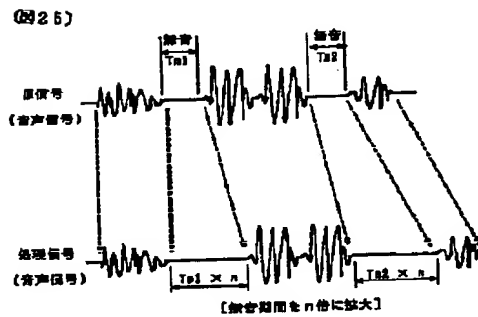
【図31】



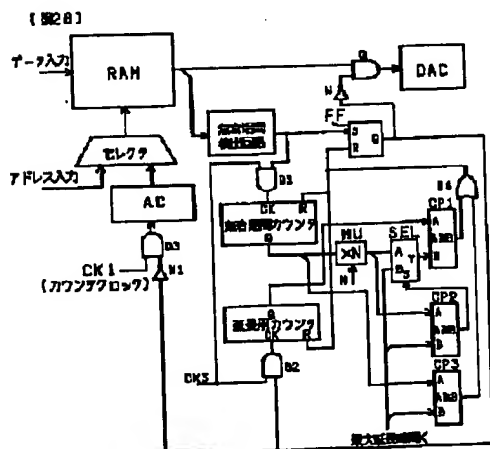
【図23】



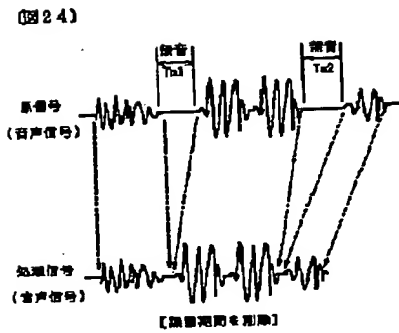
【図25】



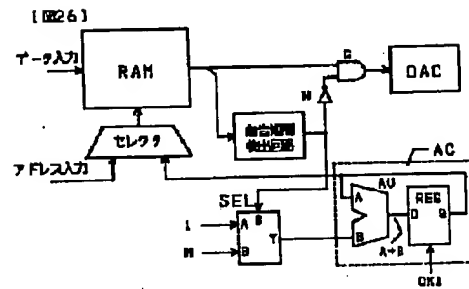
【図28】



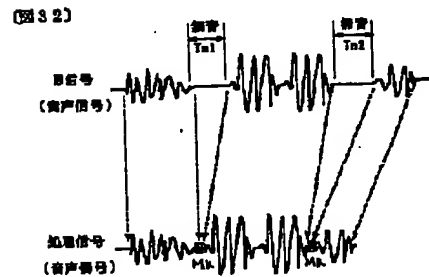
【図24】



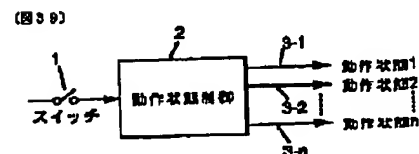
【図26】



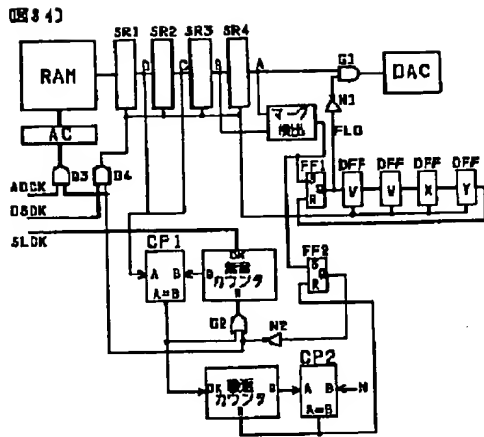
【図32】



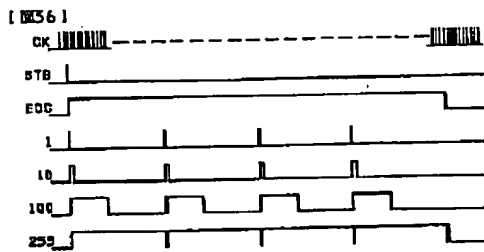
【図39】



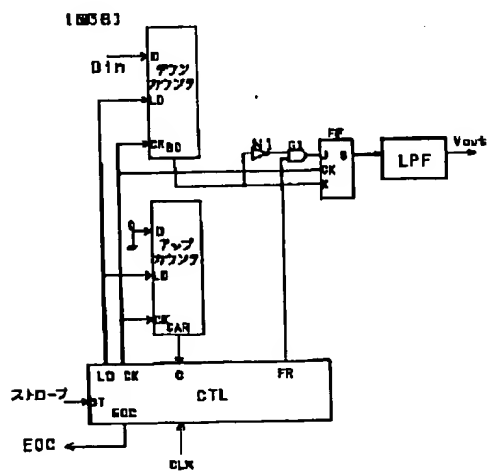
【図34】



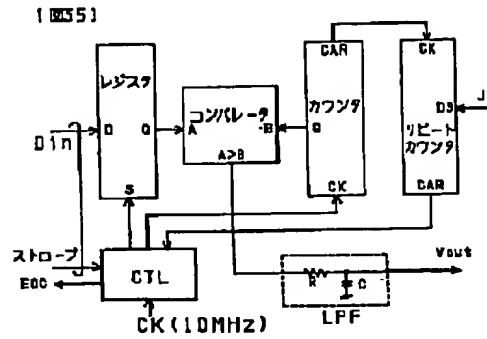
【図36】



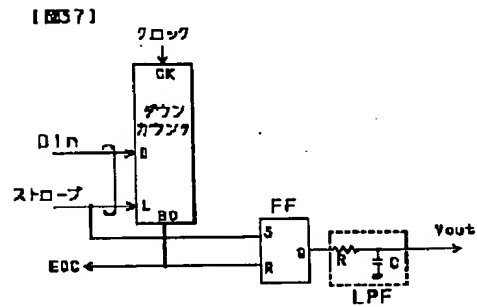
【図38】



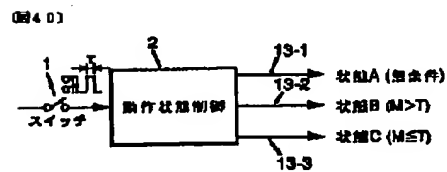
【図35】



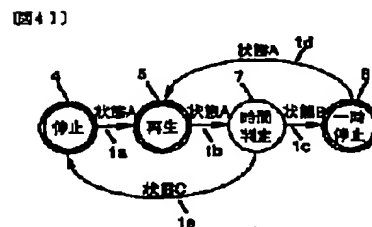
【図37】



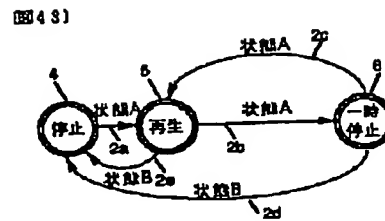
【図40】



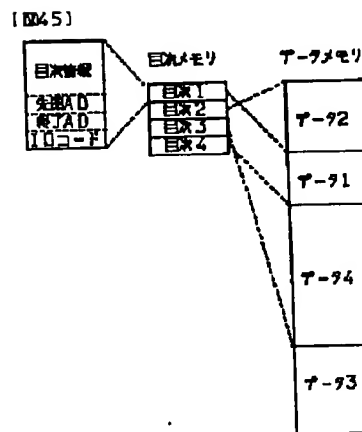
【図41】



【圖 4 3】



【图 4 5】

[illegible]

東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(33)

特開平4-271396

(72) 発明者 堀越 彌
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

This Page Blank (uspto)